

個別部品で組み立てて動作原理から設計法までを理解する PLL 周波数シンセサイザの設計法徹底解説

第17回 ループ・フィルタ設計の基礎知識

PLL回路の特性を決めてしまうループ・フィルタ

小宮 浩
Hiroshi Comiya

● PLL周波数シンセサイザの鍵はループ・フィルタ

PLL周波数シンセサイザのブロック図を図17-1に示します。この連載では学習のために、あえて各ブロックとも、ディスクリート素子で設計してきました。あとはLPFで示したループ・フィルタの設計を残すだけです。

LPFですから、今まで設計してきた回路に比べて簡単に思えますが、実はPLLを設計する中で最も難解で、一筋縄では行かない部分でもあります。

高周波やアナログ設計に馴れた技術者でも、PLLの設計となるとしきいが高く感じるのは、このループ・フィルタの設計に原因があります。

● フィルタ設計は必須

実際にPLL周波数シンセサイザを組む場合は、図

17-2のように、PLL用ICとVCOモジュールで作るのが現実的です。

高性能なPLL ICやVCOモジュールを組み合われば、思い通りのPLL周波数シンセサイザができるか、というところはいきません。図17-2のブロック図には、IC化やモジュール化がされていないループ・フィルタというブロックがあります。このループ・フィルタの設計が適当でなければ、どんなに高性能なICを使っても、目的の特性は得られません。

LPFの選択に、結果オーライ主義にすぎると、経時や量産によるトラブルが発生したときに対処できなくなります。私も、動けば良い…で定数を選定した後でトラブルに遭遇し、頭をかかえた経験があります。

今月からは、このループ・フィルタの実用的な設計法について、順を追って解説していきます。

図17-1 高周波PLLシンセサイザのブロック図

基準信号、VCO、位相比較器、プログラマブル分周器は解説してきた。あとはループ・フィルタを残すのみ

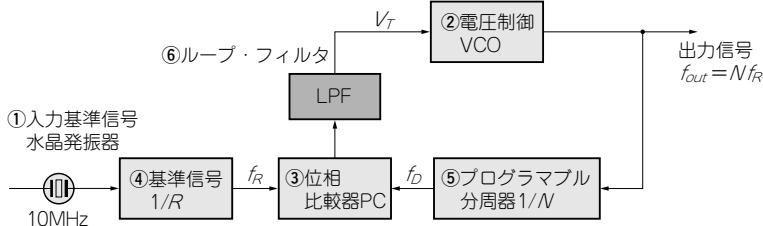
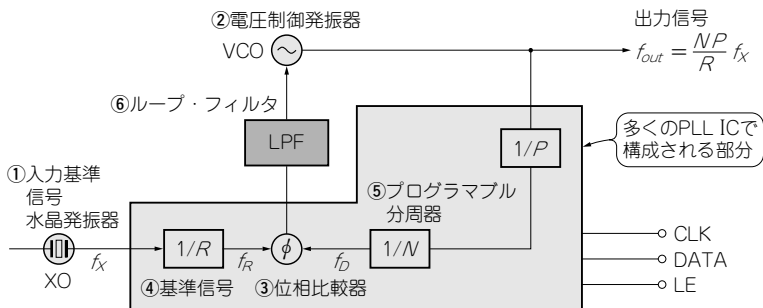


図17-2 現実的なPLL周波数シンセサイザのブロック図

基準信号やVCOは市販モジュールを、位相比較器や分周器はワンチップになったICを使う



Keywords

PLL, ループ・フィルタ, 位相雑音, スプリアス, 周波数設定スピード, 3次系PLL, 負帰還, ラグ・フィルタ

ループ・フィルタによってPLL周波数シンセサイザの特性はどう変わるか？

ループ・フィルタの設計が悪いと、具体的にどのようなことが起きるのでしょうか。それはループ・フィルタを設計するときに検討が必要な内容でもあるはずです。

● PLLの雑音特性(位相雑音)を決定する

図17-3(a)に、ループ・フィルタの定数を変えたときの雑音特性の例を示します。

キャリアより30kHz離れた位相雑音を少なくしたいという想定で、VCOの位相雑音を支配的にします。①の定数のループ・フィルタでは、カットオフ周波数 f_c が高すぎて、さらに位相余裕も少ない状態にあります。ロックはかかっているのですが、今にも発振しそうで不安定です。30kHzオフセットでの位相雑音も

悪化しています。

カットオフ周波数 f_c を下げるように何回か定数を変更すると、②の特性となりました。30kHzオフセットでの位相雑音は、約-112dBc/Hzまで下がりました。

● PLLのスプリアス特性(リファレンスもれ)を決定する

PLLは基準信号 $f_R = 200$ kHzを用いていますので、この周波数成分が回り込みます。これをリファレンスもれスプリアスと呼びます。図17-3(b)は、リファレンスもれを確認したデータです。③のデータでは、200kHz離れのスプリアスとして、約-58dBcほどです。

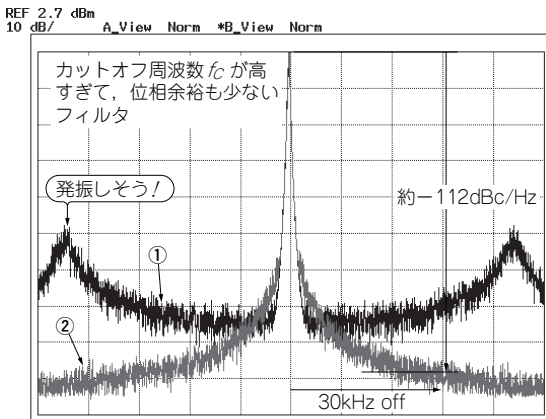
もう少し改善するために、さらにカットオフ周波数 f_c を下げました。④の波形データとなり、約-66dBcまで抑圧できました。このループ・フィルタ定数で決定でしょうか？

● PLLの応答特性(周波数設定スピード)を決定する

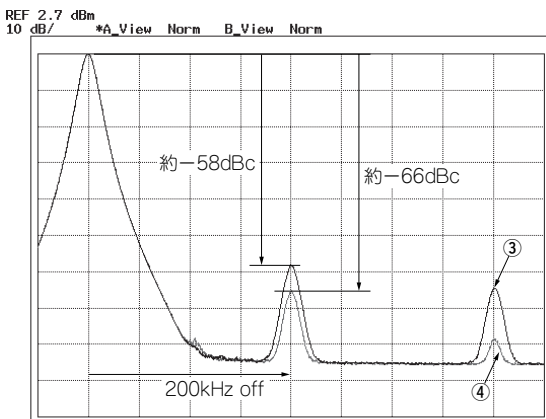
時間軸での応答特性、つまり周波数が設定される時間を測定してみましょう。図17-3(c)は、スペアナのゼロ・スパンとビデオ・トリガを利用した簡易な方法で測定したデータです。管面の縦軸の中心でトリガをかけるようにして、設定周波数を横切ったときからの時間軸応答を測定しています。

⑤のデータは、カットオフ周波数 f_c を下げ、位相余裕 ϕ_m も少ないときの応答特性です。周波数が大きく上下して、設定すべき周波数に収束するのにおよそ9msもかかっています。

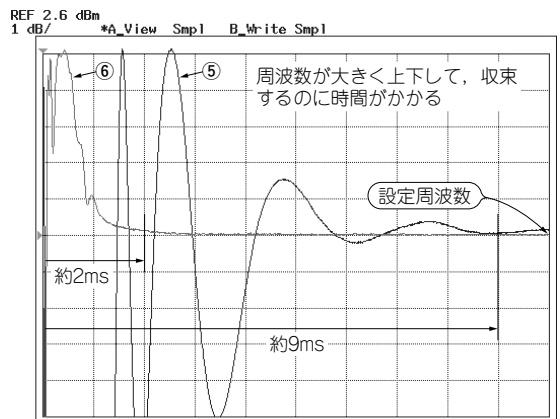
無線LANのような広い周波数帯域を使った無線通信などでは、頻繁に周波数を切り替えます。PLLは、この周波数が切り替わったときの応答特性が重要です。



(a) 位相雑音の悪化



(b) リファレンスもれスプリアスの悪化



(c) 周波数設定スピードの悪化

図17-3 ループ・フィルタ設計のミスによる悪影響

この三つはお互いに相反の関係にある