

PSoC マイコン活用講座

動作中に回路構成を変更できる

第4回 ダイナミック・リコンフィグレーションの実験

桑野 雅彦

Masahiko Kuwano

通常は自動販売機を管理していながら、深夜のほんのわずかの時間だけ内部構成を300 bpsのモデムに切り替えてサービス・センタに電話をかけ、売上情報などの送受信を行い、その後は再び元の内部構成に戻る、というPSoCの応用事例があります(この事例で追加になったのは電話用のインターフェースだけ)。

このように、動作中に内部構成(PSoCブロック)を切り替えてしまうことをダイナミック・リコンフィグレーションと呼び、またそれぞれの構成をコンフィグレーションと呼んでいます。

PSoC Designerもダイナミック・リコンフィグレーションに対応しているので、ごく簡単な方法で複数のコンフィグレーションを作成し、専用のAPIを呼ぶだけで簡単にコンフィグレーションを切り替えることができるようになってきました。

今回は、このダイナミック・リコンフィグレーションを実際に試してみます。

PSoCの内部構成の設定はレジスタで行われる

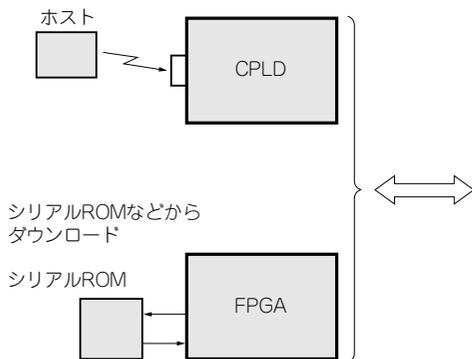
● FPGA/CPLDとPSoCとの違い

内部構成を自由に変更できるデバイスとして思い浮かぶのはCPLDやFPGAでしょう。これらのデバイスとPSoCの違いは、内部構成の変更がCPU(M8Cコア)からのレジスタ設定で行われるという点です。

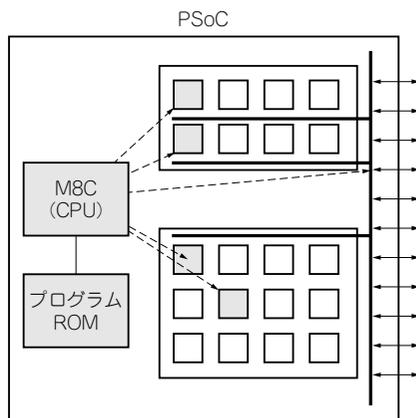
図4-1に、FPGA/CPLDとPSoCの考えかたの違いを示します。電気的に書き換え可能なCPLDは、内部の設定情報はフラッシュ・メモリと同様のセルに設定されています。また、FPGAの場合にはSRAMベースであり、初期化時に外部に接続されたシリアルROMから構成情報を取り込んで内部構成を変更します。このためCPLDでは動作中の構成変更はまず不可能であり、FPGAもダイナミックに切り替えるのは困難です。

これに対してPSoCの場合には、内部のPSoCブロックの動作モードや配線リソースの設定などもすべて

プログラミング端子を使って
ホストから書き換え



ホストCPUから専用インターフェースで書き換えたり、シリアル・インターフェースで大量のデータを読み直す必要がある



動作モードや配線リソースなどの設定はCPUからのレジスタ設定で行われる

図4-1 FPGA/CPLDとPSoCの内部構成の変更方法の違い

