

マイコン・システムのしくみを基礎から理解する

6502 マイコン・ボード製作記

〈第10回〉ハードウェア完成！

桑野 雅彦
Masahiko Kuwano

今回は、SRAM書き込み回路とそのほかの周辺回路の設計を行い、「PEACH-I」のハードウェアを完成させます。

また、完成したハードウェアの各部の波形を観測し、設計どおりであるかどうかの検証を行います。

SRAM 書き込み回路

「PEACH-I」は、SRAMへの書き込みを手作業で行うためにスイッチを付けています。これは、チップ・セレクトを与えて、アドレスとデータをセットした状態で \overline{WE} をストロブするだけのものです。

リード方向であれば、やはりアドレスとチップ・セレクトを与えた状態で \overline{OE} をアサートするとデータ・バス上にデータが出てくるので、これをLEDなどで表示すればよいでしょう。

CPUと手動スイッチでSRAMを取り合う形になることから、CPUによる動作とスイッチによるSRAM書き込みを切り替える必要があります。ここに3ステート・バッファを入れることも考えられますが、ICの数も増えますし、一度起動したら使わないスイッチのためにICを使うのもむだなので、ジャンパ切り替えにしました。これを整理したのが図10-1です。

アドレス・バスすべてにスイッチを付けることもできますが、手作業で何Kバイトもあるデータを書くのはたいへんです。ブート・ロードを書いてみたところ、256バイトもあれば入ることがわかったので、今回はアドレスの下位8ビットぶんだけスイッチを付けています。

アドレスの上位8ビットはプルアップ抵抗によってすべて‘1’になるので、これで\$FF00～\$FFFFの範囲がスイッチで書き込める領域になります。

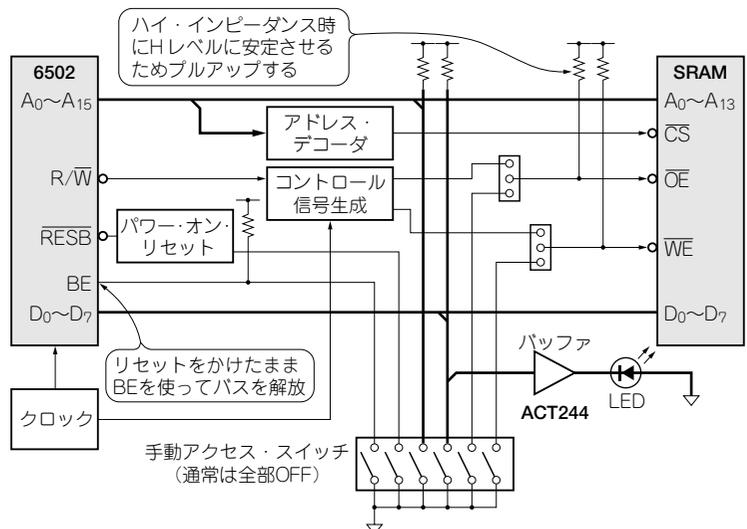


図10-1 手動アクセス・スイッチとLEDの追加
アドレスの下位8ビットぶんだけスイッチを付けている

Keywords

SRAM, パワー・オン・リセット, チャタリング, シュミット・トリガ, 16550, ボー・レート, RAM, ROM

パワー・オン・リセット回路

パワー・オン・リセット回路は、CRによるディレイを作るだけの回路としました(図10-2)。電源が投入された後、電源から抵抗を通してコンデンサが充電されていきます。この電圧をシュミット・トリガ・タイプのゲートICで受けて、Hレベル電圧を越えた段階でリセットを解除するわけです。

この方法は簡便ではありますが、電源電圧の上昇が非常に遅かったりCRによるディレイが小さいと、図にも示したように電源電圧が十分に上がる前にリセットが解除されてしまいます。

リセット用ICでは、内部に電圧比較器をもっているため、あらかじめ設定された電圧に達するまではリセットを解除しないようになっており、このような問題はありません。

図のパワー・オン・リセットに付けたスイッチはリセット・スイッチです。ONにするとコンデンサを放電して、OFFにするとRによって充電されるので、パワーONのときと同じような動作になり、一定時間後にリセットが解除されます。

チャタリング除去回路

今回、手動モードでRDやWEをスイッチで与えられるようにしています。ところが、メカニカルなスイッチにはチャタリングが生じます。チャタリングの除去方法はいくつかありますが、ここでは比較的単純なCRとシュミット・トリガ・ゲートによる方法を使いました。

図10-3にあるように、スイッチがOFFのときはコンデンサの電圧が V_P 以上になるまではHレベルと認識されませんし、ONのときは V_N 以下になるまでは“H”と判定され、1回 V_N まで下がれば次に V_P まで上がらない限り“L”と判定されます。

ここで、図の右上の回路の R_2 に比べて R_1 を十分に小さく取っておけば、スイッチがわずかな期間ONになっただけでもコンデンサが放電されて V_N 以下まで下がります。1回 V_N 以下になったあとは R_2 (大きい値にする)によって充電されていくことになる

ので、図のようにガクッと落ちてからゆっくり上がっていくような波形になります。

これをシュミット・トリガ・ゲートで受ければ図のようにきれいな波形になるという理屈です。

16550のクロック

PC16550の内部にはポー・レート・ジェネレータと呼ばれる16ビットのカウンタがあり、与えられたクロックを最大65535分周までできるようになっています。ポー・レート・ジェネレータが出力するクロックは、伝送ポー・レート(ビット・レート)の16倍にします。今回は9600 bpsにする予定なので、153.6 kHzを作ることになります。

16550のポー・レート・ジェネレータには、最大

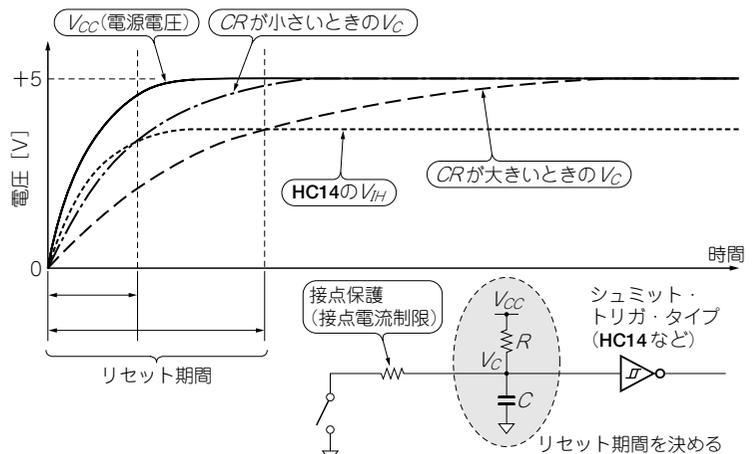


図10-2 パワー・オン・リセット回路
CRによるディレイを作るだけの単純な回路で構成

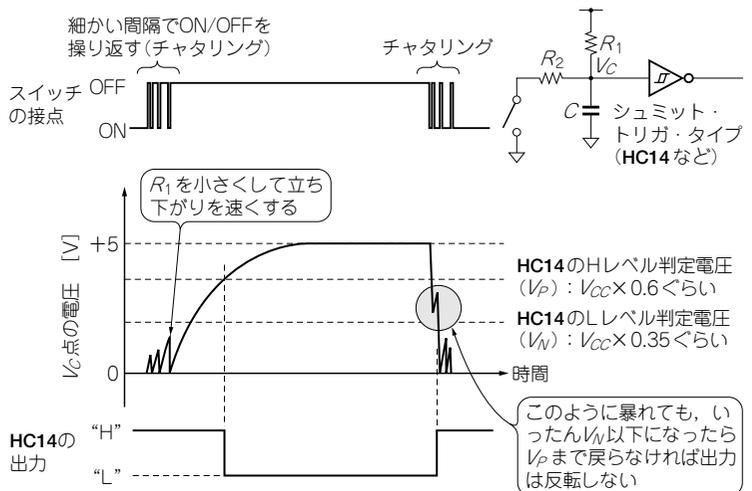


図10-3 チャタリングの除去
CRとシュミット・トリガ・ゲートによる方法を採用した