

# SPICE

## 実用電子回路講座

遠坂 俊昭  
Toshiaki Enzaka

### 第21回 FET入力型のシミュレーション解析と実験 トランジスタで作る超低雑音アンプ その4

図21-1に示すのは、前回紹介した図20-1の入力トランジスタを低雑音FET 2SK369GRに交換したFET入力型の低雑音増幅器です。入力がFETのため入力電流がごくわずかで、信号源抵抗が変化しても直流オフセット電圧が変化しません。

今回は、この低雑音FETアンプの設計過程を紹介します。後半では、前回紹介したバイポーラ・トランジスタ入力型低雑音増幅器(図20-1)とFET入力型

雑音増幅器(図21-1)を実際に試作して、その雑音特性や安定度を確認します。

#### FET入力型低雑音増幅器の設計

#### CR部品の役割と定数の意味

回路の動作は、前回示した図20-1とまったく同じ

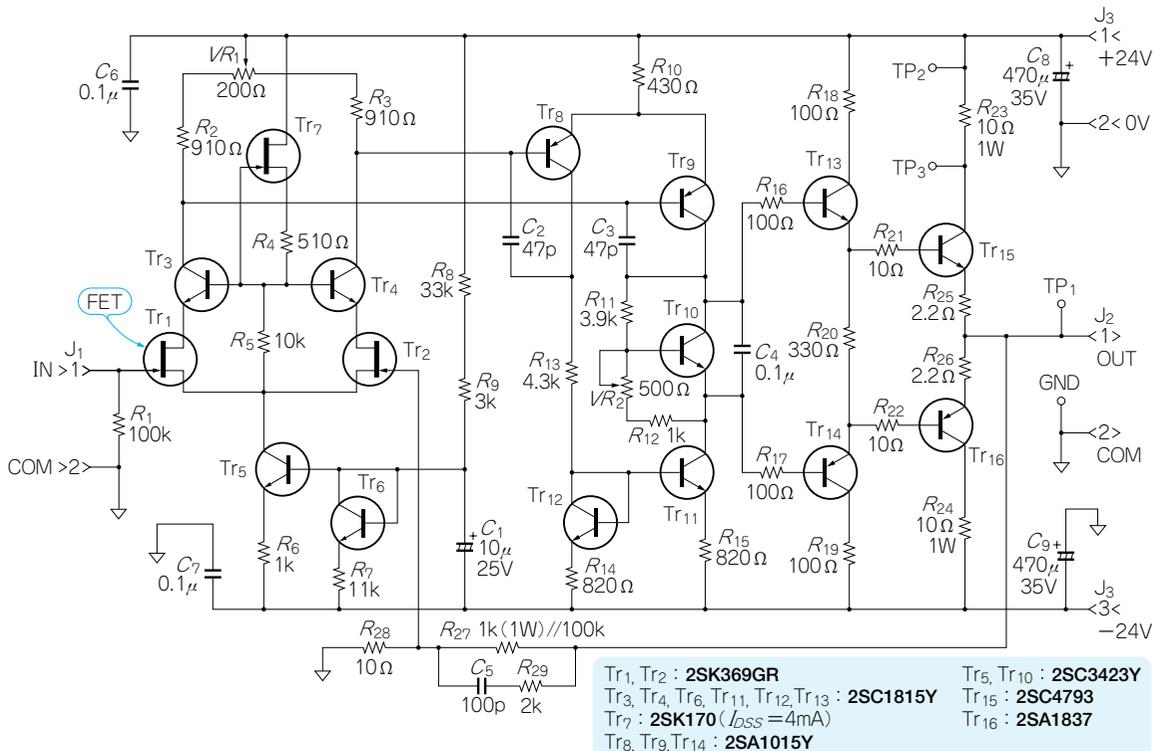


図21-1 FET入力型の超低雑音増幅回路

バイポーラ・トランジスタ入力型(図20-1)のTr1とTr2をFETに交換。入力換算雑音電圧密度1 nV/√Hz以下、100Ω駆動可能

#### Keywords

2SK369, PSpice Model Editor Demo, 2SC3329, LF412

です。ここでは、定数の異なる部品の役割を説明します。

● 初段のドレイン電流

図20-1と同様に、一番重要なのは $Tr_1$ と $Tr_2$ のドレイン電流の設定値です。

ドレイン電流を多くするほど $g_m$ は大きくなり、低雑音になりますが、 $R_2$ と $R_3$ での電圧降下が大きくなり、電源電圧の利用率が悪くなります。電源電圧の利用率を確保するには、 $R_2$ と $R_3$ を小さくしなければなりません。しかし、 $R_2$ と $R_3$ の値を小さくするとゲインが低下します。 $R_2$ と $R_3$ の代わりにトランジスタを使用した定電流回路を構成すれば、この問題から開放されますが、今回は回路が煩雑になるため採用しませんでした。

前回説明したようにドレイン電流を5mAに設定すると、図21-2に示すデータシートのグラフから、1kHzで入力換算雑音電圧密度が $0.73\text{ nV}/\sqrt{\text{Hz}}$ になります。差動増幅器なので、3dB悪化すると考えると、目標値ちょうど(約 $1\text{ nV}/\sqrt{\text{Hz}}$ )になります。そこで、ドレイン電流を5mAに決定しました。

▶ 初段のゲイン

FETの $g_m$ は、トランジスタとは異なり品種に依存します。2SK369の場合は図21-3に示すデータシートのグラフから、 $I_D = 5\text{ mA}$ のとき約40mSになります。

図21-4に示すように、FETの差動増幅器の場合、 $Tr_2$ のFETのゲートを接地して考えると、 $Tr_1$ はソース共通増幅回路になり、 $Tr_2$ のソースから見たインピーダンスは $1/g_m$ です。したがって、FETの差動増幅器のゲイン $G_F$  [倍] は次式で求められます。

$$G_F = \frac{-g_m R_C}{2 \times (1 + g_m R_E)} \dots\dots\dots (21-1)$$

●  $R_2$ と $R_3$

$VR_1$ を含めた $R_2$ と $R_3$ の値を1kΩにすると、そこでの電圧降下は5Vになります。電源電圧の利用率が少し悪くなりますが、この値と $g_m = 40\text{ mS}$ からゲインを計算すると、 $R_E$ が0Ωなので20倍になります。

雑音特性を考慮しつつも、あまりゲインを下げたくないでこの値に決定しました。

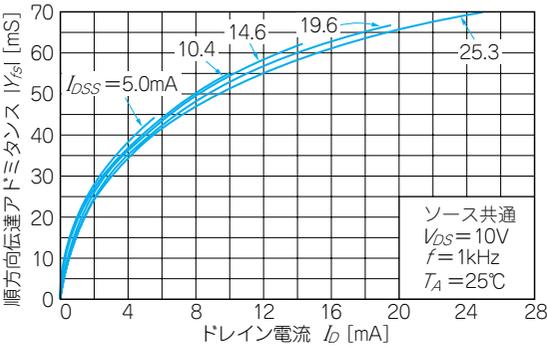


図21-2 図21-1に使用したFET 2SK369の $g_m$ - $I_D$ 特性

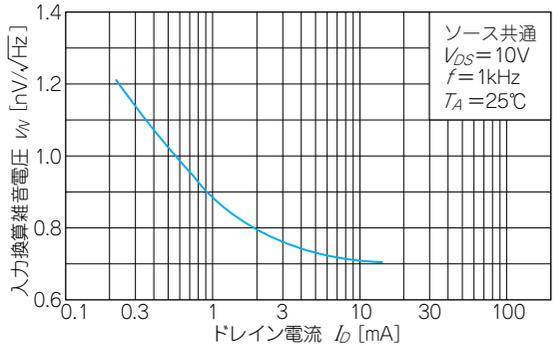
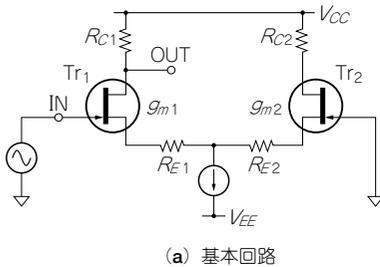


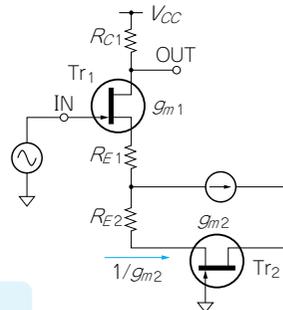
図21-3 図21-1に使用したFET 2SK369の入力換算雑音電圧-ドレイン電流特性



(a) 基本回路

ゲート共通回路の入力インピーダンスは $1/g_{m2}$ 。  
 図(a)はソース抵抗が $R_{E1}+R_{E2}+1/g_{m2}$ のソース共通増幅回路と見なせるので、  
 $R_{E1}=R_{E2}=R_E$ ,  $R_{C1}=R_{C2}=R_C$ ,  $g_{m1}=g_{m2}=g_m$ とすると、電圧ゲイン $G$ [倍]は、  

$$G = \frac{-g_m R_C}{1 + g_m (2R_E + 1/g_m)} = \frac{-g_m R_C}{2 \times (1 + g_m R_E)}$$



(b) 図(a)のゲインを求めやすくなるように変形した回路

図21-4 FETを使った差動増幅回路のゲイン計算