

R8C/15 付録マイコン基板活用企画

第5回 正弦波 DDS の製作(後編)

笠原 政史
Masaji Kasahara

本稿は、付録マイコン基板と簡単な周辺回路で構成した**正弦波 DDS**の製作記事です。前編(2005年10月号)では、DDSの動作原理とソフトウェアを使った実現方法、そして**HF(高周波)モード**について解説しました。

後編では、残りの二つのモードである**LF(低周波)モード**、**LD(低ひずみ)モード**とその実現方法について解説します。回路図と部品表については、前編をご覧ください。

LF(低周波)モードの詳細

前回解説したHFモードで低周波出力すると、階段状の波形が目につきました。

そこで、**ΔΣ変調**を掛けることで、量子化ノイズを低減させた**LFモード**を作ってみました。ただし、CPUの計算量が増えるので低周波出力限定です。

● 出力部のノイズは負帰還で改善できる

ΔΣ変調の類似技術として、OPアンプ回路の**負帰還**について説明します。負帰還では、OPアンプの入力部で発生するノイズは改善できませんが、出力部で発生するノイズは改善することができます。

図5-1は、出力電圧 V_{out} を - 入力端子に帰還したゲインが1倍のOPアンプ回路です。このOPアンプは、内部の出力トランジスタのノイズが大きく、 V_n のノイズを発生するとします。また、OPアンプ単体のゲイン、つまり、

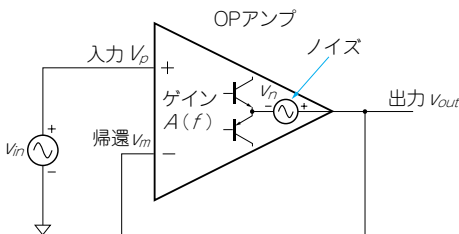


図5-1 ゲイン1倍の増幅回路

$$\frac{V_{out}}{V_p - V_m}$$

を $A(f)$ とします。

図5-1の入出力電圧について式を立てると、

$$\begin{aligned} V_{out} &= V_n + A(f)(V_p - V_m) \\ &= V_n + A(f)V_{in} - A(f)V_{out} \end{aligned}$$

となり、整理して V_{out} を求めると、

$$\begin{aligned} V_{out} &= \frac{V_n + A(f)V_{in}}{1 + A(f)} \\ &= \underbrace{\frac{V_n}{1 + A(f)}}_{\text{①}} + \underbrace{\frac{A(f)}{1 + A(f)}}_{\text{②}} V_{in} \quad \dots\dots\dots (5-1) \end{aligned}$$

となります。

ここで、 $A(f)$ が図5-2のようなGB積1MHzのOPアンプとします。一般的に、発振に対する安定性を十分に確保している汎用OPアンプのゲインは、通常図5-2のように高域では-6dB/oct.の傾斜(積分特性)になっています。

式(5-1)の②項は、 $A(f)$ が1より十分大きい100kHz以下では、 $V_{out} \approx V_{in}$ 、つまりゲインが約1倍になることを表します。①項は、図5-1の回路構成にすることで、OPアンプ内部では V_n のノイズが発生しているにもかかわらず、出力端子には、

$$\frac{V_n}{1 + A(f)}$$

しかノイズが出力されないことを表します。 $A(f)$ は、周波数が低くなるほど大きくなり、10kHzでは、

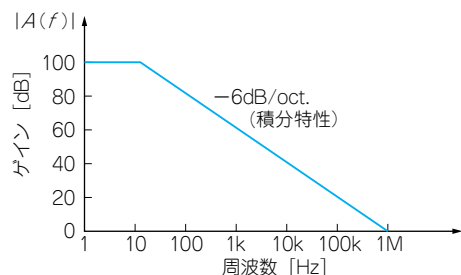
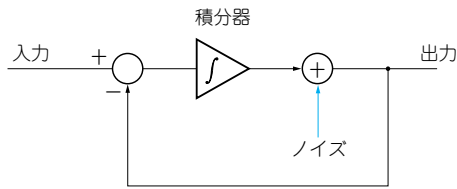
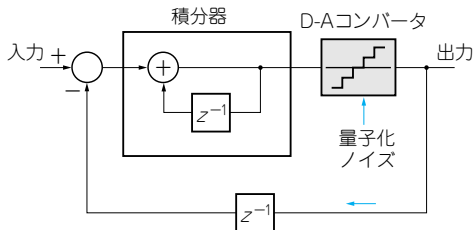


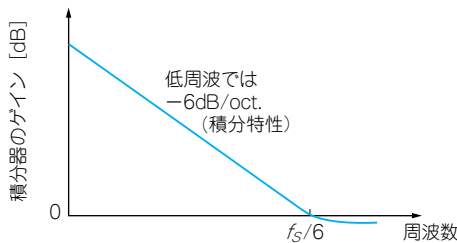
図5-2 OPアンプのゲインの周波数特性例



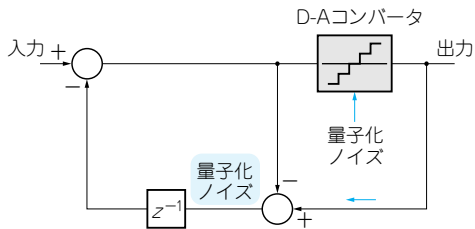
(a) 図5-1のシグナル・フロー図



(b) D-Aコンバータ量子化ノイズの改善にも使える



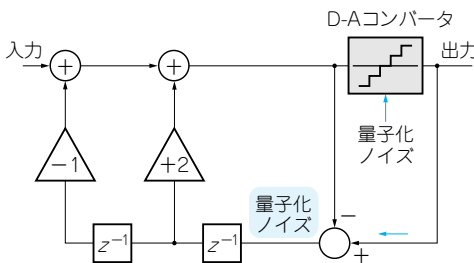
(c) (b)の積分器の周波数特性



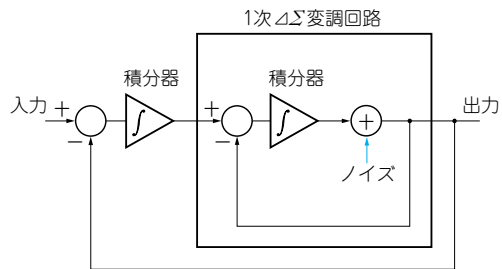
(d) (b)の遅延素子をまとめる

図5-3 1次 $\Delta\Sigma$ 変調の構成

1次 $\Delta\Sigma$ 変調はOPアンプの動作と似ている



(a) 2次 $\Delta\Sigma$ 変調のシグナル・フロー図



(b) (a)をアナログ回路に置き換えた場合

図5-4 2次 $\Delta\Sigma$ 変調の構成

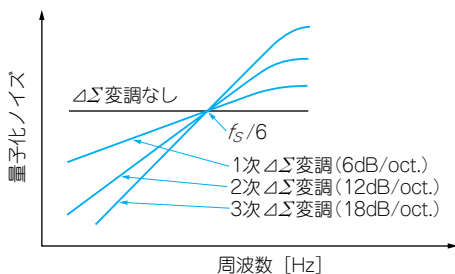


図5-5 $\Delta\Sigma$ 変調の周波数-量子化ノイズの関係

$\Delta\Sigma$ 変調は低域ノイズを高域へ押しやる

$$|A(f)| = 100$$

なので、ノイズが約1/100に低減されます。

● 1次 $\Delta\Sigma$ 変調はOPアンプの動作と似ている

図5-1のOPアンプ回路をシグナル・フロー図に書き直すと、図5-3(a)のようになります。

これをD-Aコンバータの量子化ノイズの改善に使くと、図5-3(b)のようになります。 z^{-1} は、信号を1

クロックぶん遅延させることを意味します。図5-3(b)の積分器は、信号周波数が高いと積分特性になりませんが、サンプリング周波数 f_s に対して十分低ければ図5-3(c)のように積分特性になります。

遅延素子をまとめると、図5-3(d)のようになります。よく見ると、D-Aコンバータの量子化ノイズのぶんを、次回出力時に差し引く動作を行っていることがわかります。

● 2次 $\Delta\Sigma$ 変調と量子化ノイズ

2次 $\Delta\Sigma$ 変調のシグナル・フロー図を図5-4(a)に示します。対応するアナログ回路は図5-4(b)のようになります。1次 $\Delta\Sigma$ 変調回路の外側にもう一つ積分器が付きます。なお、3次以上の $\Delta\Sigma$ 変調は、 $\Delta\Sigma$ 変調のループが不安定になりやすくなり、対策が複雑になるので今回は2次 $\Delta\Sigma$ 変調を行います。

$\Delta\Sigma$ 変調を行わない場合は、量子化ノイズが広い周波数範囲に渡って平坦に分布します。 $\Delta\Sigma$ 変調を行