

個別部品で組み立てて動作原理から設計法までを理解する PLL 周波数シンセサイザの設計法徹底解説

第16回 高周波を扱って周波数ステップの細かい分周器

パルス・スワロによる整数分周と分数分周の原理

小宮 浩
Hiroshi Comiya

今回は、高い周波数を扱う PLL 周波数シンセサイザに必要なプリスケアラと、プリスケアラを使うことによる問題点を解決する方法について解説します。

図 16-1 には、高周波 PLL 周波数シンセサイザに用いる分周器の基本構成を示しています。

▶ 周波数の上限を広げるには？

出力周波数を可変にするためにプログラマブル分周器が必要ですが、動作周波数に上限があります。

高周波 PLL 周波数シンセサイザでは、プログラマブル分周器が動作する周波数まであらかじめ周波数を下げる前置分周器(プリスケアラ)を使います。

▶ 専用 IC に使われている技術を解説

プリスケアラを使用すると、周波数ステップが粗くなるという問題が発生します。

現在の高周波 PLL シンセサイザの多くは、プリスケアラを使いつつ、細かな周波数ステップが得られるように工夫されています。その工夫として有名な二つの方法を解説します。

〈編集部〉

高周波を扱う PLL に必要な分周器…プリスケアラ

● プログラマブルな分周器は高い周波数を扱えない
汎用ロジック IC 74xx163 を 2 個用いると 8 ビットのプログラマブル分周器を製作できます。前回(第 15 回, 2007 年 5 月号)では、高速 CMOS の 74AS163 を用いたとき、何 MHz まで動作可能かをシミュレーションしました。その結果、動作スピードの限界は 45.5 MHz ほどでした。

▶ PLL 回路の上限周波数が低くなってしまふ

実際の回路では室温では 50 MHz 以上でも動作しました。しかし、温度変動などによる特性の劣化を考慮すれば、45 MHz_{max} とするのが無難でしょう。

ということは、この汎用カウンタ IC を用いた 1/N プログラマブル分周器では、45 MHz 以上の周波数は扱えません。PLL 回路全体としても 45 MHz までの動作となります。

このように、一般的にプログラマブル分周器の動作スピードには限界があります。現在、PLL IC 中に備

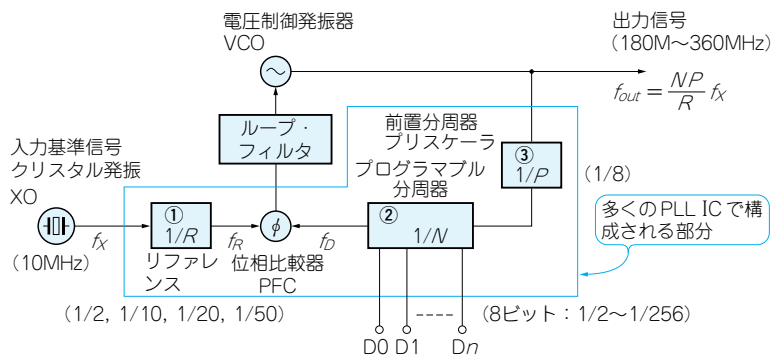


図 16-1 高周波 PLL 周波数シンセサイザに用いられる分周器
注▶ () 内の値は設計・製作している PLL の場合

Keywords

前置分周器, プリスケアラ, パルス・スワロ方式, シングル・モジュラス・プリスケアラ, デュアル・モジュラス・プリスケアラ, 分数分周, MC12093, MC12026A

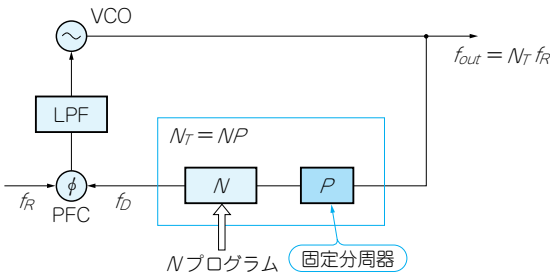


図 16-2 シングル・モジュラス・プリスケラを用いた PLL のブロック構成

えられているプログラマブル分周器の最大動作周波数は 50 MHz より高いのですが、それでも 150 M ~ 200 MHz 程度で限界は明らかです。

● 高周波を分周できる固定分周器をプログラマブル分周器の前に追加して周波数を下げてやる

そこで、高周波 PLL 周波数シンセサイザを構成するためには、プログラマブル分周器の前にもう一つ分周器を配置します。この分周器をプリスケラ (prescaler ; 前置分周器) といいます。

出力周波数を分周して、プログラマブル分周器が動作できる周波数に下げたためのものです。

高周波で PLL 周波数シンセサイザを組むときの分周器の基本形は、このプリスケラとプログラマブル分周器の組み合わせになります。

▶ シングル・モジュラス・タイプのプリスケラ

図 16-2 には、プログラマブル 1/N 分周器の前に、高速な 1/P 固定分周器を配置した PLL 周波数シンセサイザのブロック図を示します。固定分周を用いることからシングル・モジュラス・プリスケラ方式と呼ばれます。

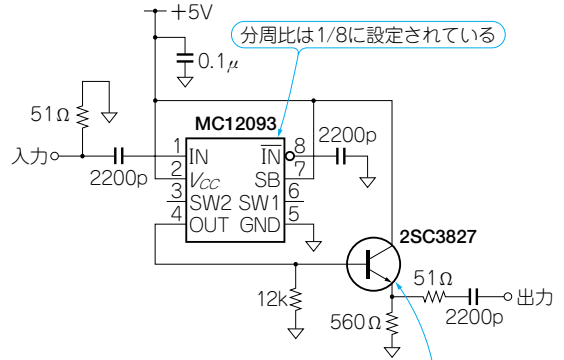
設計/製作している PLL 周波数シンセサイザは、この方式を用います。

● 1/8 分周プリスケラ

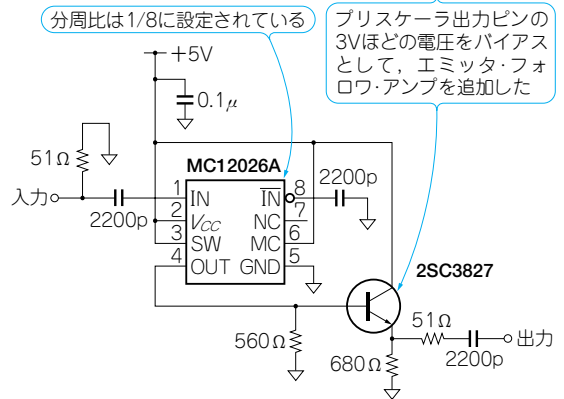
プログラマブル分周器は 45 MHz まで動作しました。プリスケラとして 1/8 の固定分周器を置けば 360 MHz までの分周が可能です。目標とした出力周波数 180 M ~ 360 MHz の PLL が構成できることになります。

1/8 分周には、オン・セミコンダクター社の低電力仕様の MC12093 (1/2, 1/4, 1/8 分周を選択可)、または MC12026A (1/8, 1/9, 1/16, 1/17 を選択可) を用いました。

図 16-3 に出力回路を含めた回路図を示します。データシートを見ると、MC12093 では出力負荷容量 2.0 pF で 0.8 V_{p-p} 程度の分周出力が得られます。また、MC12026A では出力負荷 560 Ω、出力負荷容量 8 pF



(a) 1/2, 1/4, 1/8 分周が可能なプリスケラ



(b) 1/8, 1/9, 1/16, 1/17 分周が可能なプリスケラ

図 16-3 実際のプリスケラ分周器の回路

で 1.6 V_{p-p} 程度の出力が得られます。50 Ω 系回路について出力レベルを確保できるようエミッタ・フォロワを追加しました。

● シングル・モジュラス・プリスケラの分周だけ周波数分解能が粗い

図 16-2 に示すように、プリスケラとプログラマブル分周器を合わせた分周数は NP です。N は N + 1, N + 2 とステップしますが、P は固定なのでそれが P 倍されることになります。

ですから、出力周波数の可変ステップ幅は、本来希望する f_R ではなく $f_R P$ へと、大幅に粗くなってしまいます。多くの PLL IC では、この周波数分解能の問題を解決した方法が使われています。

周波数分解能を上げられるデュアル・モジュラス・タイプ

● 1 ステップだけ分周数を切り替えられて高周波信号を扱えるデュアル・モジュラス・プリスケラ

図 16-4 に、プリスケラの分周数を P と P + 1 に切り替えるデュアル・モジュラス・プリスケラ方式の PLL 周波数シンセサイザのブロック図を示します。