

# CMOS アナログ IC 設計に チャレンジ

## 第9回 CMOS アナログICのレイアウト(その1)

森本 浩之 Hiroyuki Morimoto

今回と次回は、IC設計の後半作業であるレイアウト設計を行います。

図9-1に示すように、レイアウト設計とは、回路図データを物理構造データに落とし込む作業です。このため、レイアウト設計はしばしば物理設計(Physical Design)とも呼ばれます。

図9-1にIC回路図面とレイアウトを示します。

回路図のデバイス・パラメータをもとにデバイスのレイアウトを作成し、コンタクトや配線を追加して端子間の接続を形成します。

名前を付けたピンを配置してセル(レイアウト・ブロックの名称)を完成させます。実際にレイアウトする前に、次の三つを理解する必要があります。

- (1) レイヤの意味
- (2) デバイス形状とパラメータ
- (3) デザイン・ルール

今回はこれらの基礎知識を説明します。下記の記事を参照するとより理解が深まります。

- ・2009年8月号「第2回 CMOS ICができるまで」

- ・2009年9月号「第3回 CMOS ICの部品、MOSトランジスタ編」

- ・2009年10月号「第4回 CMOS ICの部品、抵抗/コンデンサ編」

次回は、実際にレイアウト作業を行います。



フリーのレイアウト・ツール  
を入手して初期設定する

- 編集ツールをダウンロードする

LayoutEditorと言う編集ツールを使います。開発元はドイツです(<http://www.layouteditor.net/>)。

今回使うのは、LayoutEditorのGPL(The GNU General Public License)版を日本語に対応させた物です。このツールはフリーで提供されています。下記のいずれかのサイトから入手できます。

- ・本誌ウェブ・サイトのダウンロード・サービス・コーナー(<http://toragi.cqpub.co.jp/>)
- ・アナログ社社のホームページ(<http://www.analogist.co.jp/>)

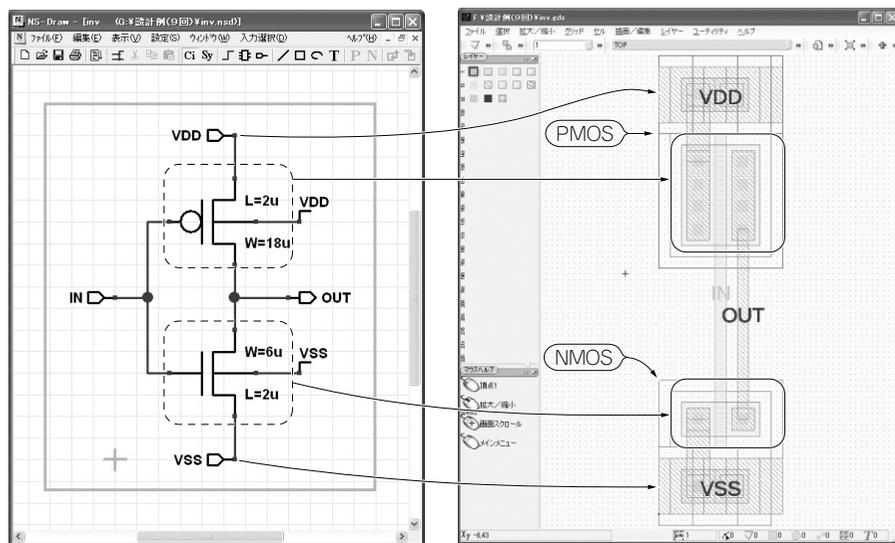


図9-1 回路図ができたら  
レイアウト図を作成する  
論理反転(インバータ)回路の例

(a) 回路図

(b) レイアウト図