

微細化によるトランジスタの  
ゲイン低下と変換誤差への対応

柴田 肇 Hajime Shibata

CMOSの微細化と  
トランジスタの直流ゲイン低下

## ● OPアンプのゲインは低下する一方

本連載第1回(2009年7月号)で紹介したように、アナログ-デジタル変換器(ADC)を作り込む製造プロセスとして、ゲート長が100 nmよりも小さなナノスケールCMOS技術が広く使われるようになってきています。

これらのナノスケールCMOSトランジスタは、

- 遮断周波数 $f_T$ が100 GHz以上と非常に高速な反面、耐圧が1 V前後と低いために内部の電圧振幅が大きく取れない
  - 高速な動作点に設定したときのトランジスタ単体のゲインが5倍程度しかとれない
- など欠点も多くあります。

標準的なパイプライン型ADCでは、各ステージでサンプリングした電荷を転送するためにOPアンプを使います。しかし、OPアンプはトランジスタのゲイン低下や電源電圧の低下の影響を大きく受けます。このため高性能なOPアンプは作りづらく、パイプライン型ADCも作りにくくなってきていると言われています。

今回はISSCC(International Solid-State Circuits Conference)2009で発表された論文の中から、OPアンプの性能低下によるADCシステムへの影響を緩和

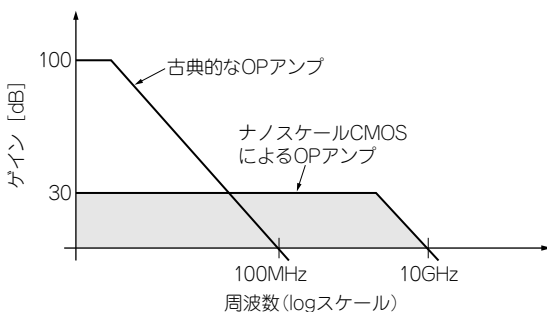


図9-1 OPアンプのオープン・ループ周波数特性  
製造プロセスの微細化がOPアンプ設計に与える影響を簡単に表した

するための技術として提案されているパイプライン・ステージのデジタル校正技術を紹介します。

## ● ゲイン帯域幅積は10 GHzだが直流ゲインは20 dB強と低い

微細化がOPアンプ設計に与える影響を簡単に表すと図9-1のようになります。トランジスタの高速化によりOPアンプのゲイン帯域幅積(GBW)は向上します。100 nm以下のゲート長CMOSトランジスタを使うと10 GHz程度のGBWのOPアンプを作ることができます。この反面、OPアンプの直流ゲインを高く保つのは難しくなっています。

今回紹介するISSCCの発表で使っているOPアンプの直流ゲインは、28 dB(25倍)や23 dB(14倍)といったOPアンプとは思えないような低さになっています。これは典型的な汎用OPアンプ、例えば4558の直流ゲインが90 dB(3万倍)程度あることを考えると驚異的な低さです。

OPアンプのゲイン低下と  
変換誤差の増大

## ● スイッチト・キャパシタ増幅回路のゲイン誤差が増え、ADCの変換誤差が増える

パイプライン型ADCはパイプライン・ステージを縦続接続して構成します。このパイプライン・ステージ内部は、典型的にはOPアンプを使ったスイッチト・キャパシタ構成の2倍増幅回路が使われています。標準的なパイプライン型ADCでは、A-D変換時のひずみを抑えるために、正確に2.0000倍増幅することが非常に重要です。

ナノスケールCMOSを使った標準的な2段増幅型のOPアンプを2倍増幅回路に使うと、パイプライン・ステージの性能はどのように変化するのでしょうか。

OPアンプの性能がスイッチト・キャパシタ回路に与える影響はスイッチト・キャパシタ回路のセトリグ波形から考えることができます。

図9-2に典型的なスイッチト・キャパシタ回路による非反転2倍増幅回路を使ったパイプライン・ステ