

HDL 記述による設計法をマスターする

# 実験で学ぶ ロジック回路設計

木村 真也

Shinya Kimura

## 第10回 モニタ・ディスプレイに映像を出す

今回から、テレビ・ゲームを設計していきます。ゲーム機の最も重要な機能「画面表示」を実現することから始めましょう。写真10-1のようなテスト・パターンを作ることを目標にします。〈編集部〉

### 同期信号を作って それにタイミングを合わせる

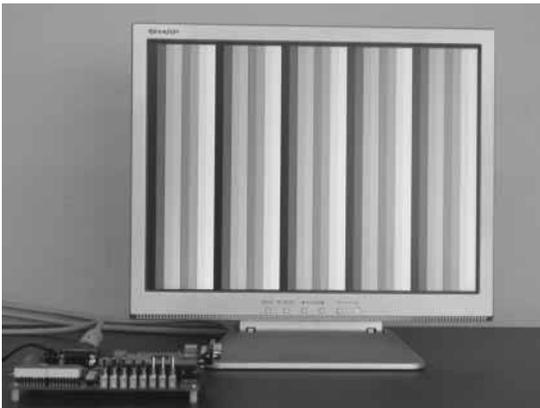
パソコン用ディスプレイに画面表示するためには、

垂直同期信号、水平同期信号、光の三原色に対応する三つの輝度信号、合わせて5本の信号が必要です。

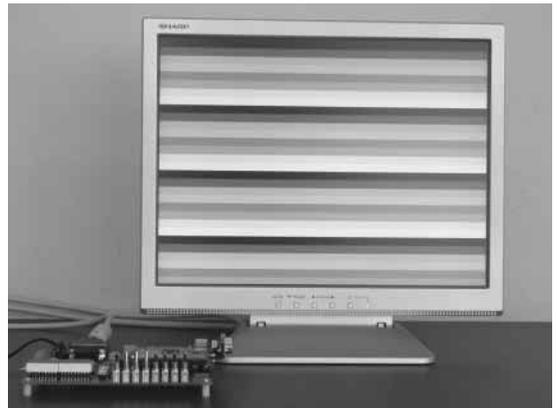
このうち、画面描画のタイミングを決めているのは垂直と水平、二つの同期信号です。まずはこの二つの同期信号を作ることを考えてみます。

#### ● クロックを入力にしてカウンタを動かす

同期信号は、正確なタイミングでパルスを出す必要があります。このような場合は、クロックを入力とす



(a) 垂直ストライブ・パターン



(b) 水平ストライブ・パターン

写真10-1 パソコン用ディスプレイにテスト・パターンを表示させる

### Keyword 1

#### ``define`

``define` で書かれた文は代替名定義と呼ばれます。一般的に、C言語などのプログラムを記述する場合、意味のある定数はプログラム中に直接数値を記入せず、その定数の意味が分かる名前を付けて記述する手法をよく利用します。

Verilog HDLでは、``define` を使った文で、定数とそれに対する名称を定義します。

定数の代わりに代替名を使用する側では、``` に続いて代替名を書きます。ビット幅付き定数を書くときに使う `'d` はありません。

[記述例]

```
`define WIDTH 8
wire [`WIDTH-1:0] data_bus;
```

WIDTHという名前が8を示すことを定義  
8ビット幅の信号を定義

この例では、`data_bus` 信号を `wire [8-1:0] data_bus;` として記述したことと同じになります。

Verilog HDLのシミュレータや論理合成ツールでは、代替名を定数に置き換えて解釈してくれます。

るカウンタを使うのが適切です。

クロックは動作中ずっと入力され続けるのに対して、同期信号は同じ信号パターンを繰り返します。このためには、どこかでカウンタを0に戻す必要があります。

規格に沿ったパルスを発生するだけなら、どこを基準にとってもかまいません。しかし、画面表示に必要な信号を考慮すると、効率的な設計や実現ができます。

● 像は表示する箇所の輝度を変えることで実現できる壁やボール、ラケットなど、ゲームに必要な要素を画面表示するとき、何が必要でしょうか。

それは、描画している点の位置座標です。

表示しようとしている点が壁であるはずの場所ならば、壁の表示に相当する輝度信号を発生させ、ボールがあるはずの場所ならばボールに相当する輝度信号を発生させればよいわけです。

● 描画エリアの原点でカウンタの値を0にする

表示しようとする点の座標情報が必要だと考えると、最も都合のよい基準点は描画エリアの原点です。

1枚の画面は左から右に、上から下に向かって描画されるので、描画エリアの原点は描画エリアの左上の点になります。

図10-1のように描画エリアの原点を基準にカウンタを構成すると、カウンタの値が電子ビームの位置座標になるので、回路が簡素化できます。

ほかの地点を基準にとると、描画エリアの開始点と座標原点の差を加算/減算する必要がでてきます。回路が増加しますし、演算に要する時間だけ信号の遅れも発生することになり、設計上不利です。

## 同期信号生成回路のHDL記述

リスト10-1に同期信号などを生成するモジュールsyncgenのHDL記述を示します。基本的にはカウンタの記述で構成されています。

### Keyword 1

### `define(つづき)

意味のある定数には名前をつけておくと、定数の意味を連想することができるため、プログラムやHDL記述が読みやすくなります。

定数の値に変更があった場合も、`define文だけの変更ですむので、修正ミスや修正漏れを大幅に減らすことができます。

違う意味に使うはずの定数がたまたま同じ数値になってしまう場合はとくに重要です。その中の一つだけを変更しなくなったとき、数値で書いてしまっていると、変更する定数かどうかすぐに判断できません。定数の変更はとても

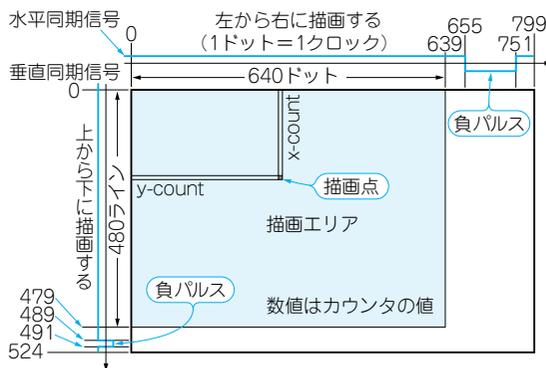


図10-1 ドットやラインで表現した同期信号の生成タイミング  
1ドットは1クロックに相当する。クロックが25 MHzだと40 ns

● どんな入出力信号が必要か？

入力信号として、タイミングの基準となる25 MHzのクロック信号が必要です。リセット信号の入力も必要でしょう。

出力信号はどうでしょうか。垂直/水平の二つの同期信号のほかに、輝度信号を作るときに使う信号、つまり座標情報が必要です。カウンタの値を座標情報として出力します。

描画エリア以外で輝度信号を出してしまうと、モニタは規格外信号と判断して表示してくれません。描画エリア外で輝度信号を0にするための信号(描画期間フラグ)も出力させることにします。

● 基本定数を定義しておく

リスト10-1の行番号8～16では、図10-1に示した定数を規定しています。数値を直接使うのではなく、このように名前をつけて表現しておくと、あとから定数に変更があったとき楽になります。

水平同期信号の周期は800ドットです。カウンタの初期値が0なので、カウンタの最大値に対応する定数H\_PERIODは799となっています。垂直同期信号の周期も同様です。

神経を使う作業になり、ミスが増えることは容易に想像できると思います。

C言語では、#define文で同様の記述をすることができます。C言語の場合、定数の入る場所には代替名を書くだけです。C言語に慣れていると、代替名の前に`が必要なVerilog HDLの記述は違和感を覚えるかもしれません。しかし、この記述スタイルにはメリットがあり、その名前が信号名なのか、代替名なのか、一目で分かります。