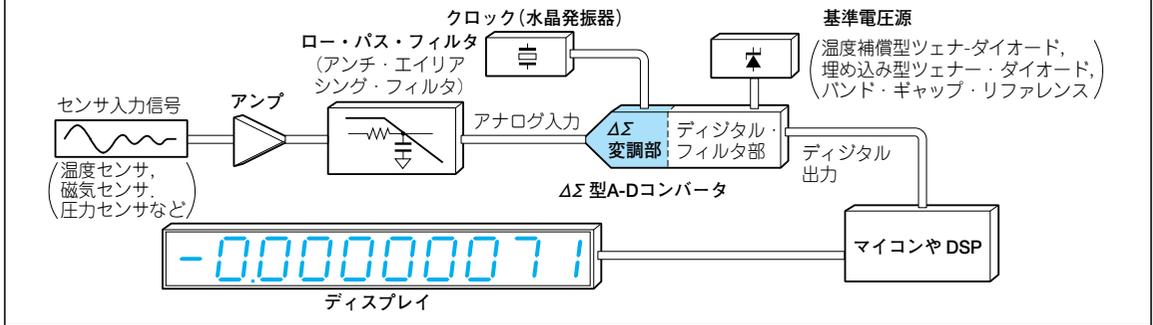


今回のターゲット回路ブロック



分かるようになること

- ・ $\Delta\Sigma$ 型 A-D コンバータが高分解能に向く理由
- ・ 量子化雑音と SNR の関係

- ・ 雑音を減らすオーバー・サンプリングとノイズ・シェーピングのしくみ

最近のデジタル処理を伴う複雑化したシステム全体の動作を理解するには、マイコンや FPGA、DSP の入出力用アナログ回路の理解がかかせません。

連載では、まず入力部にあたる A-D コンバータ回路を取り上げます。もちろん、A-D コンバータで不可欠なアンチエイリアシング・フィルタやプリ・アンプなどの周辺回路技術についても紹介します。

その後 D-A コンバータ、DDS、D 級アンプの動作や使い方などについても紹介する予定です。

高分解能が必要な応用に向く $\Delta\Sigma$ 型 A-D コンバータの一長一短

$\Delta\Sigma$ 型 A-D コンバータは、オーディオ用途だけでなく、高分解能が必要な分野でも注目を浴びるようになってきました。高い分解能を実現できる理由は次の二つです。

▶ 長所

- 原理的にミッシング・コードが出ない回路技術と信号処理により SNR を上げられる
- 20 ビット以上の分解能を実現できる
- 1 ビット A-D コンバータ (コンパレータ) による A-D 変換なので、原理的にミッシング・コードが発生しない
- 積分非直線誤差が非常に素直な特性をしている (校正がやりやすい)
- 基本的にアンチ・エイリアシング・フィルタが不

要 (SNR 改善のためには必要)

- IC 化に適した変換方式

▶ 短所

- 変換レートが低い (オーバー・サンプリングによる)
- 応答が遅いのでアナログ・マルチプレクサで A-D コンバータの入力を高速に切り替える用途には向かない
- 変換レートが高くなると消費電流が増える (オーバー・サンプリングによる)

$\Delta\Sigma$ 型 A-D コンバータの動作原理

長所、短所の理由は動作原理で解説できます。図 1 に $\Delta\Sigma$ 型 A-D コンバータのブロック図を示します。 $\Delta\Sigma$ 変調器とデジタル・フィルタで構成されます。入力信号は $\Delta\Sigma$ 変調器でデジタル信号に変換されます。

● 心臓部は初段の $\Delta\Sigma$ 変調器

$\Delta\Sigma$ 変調器は図 2 のように、次の四つの部品で構成されます。

- (1) 減算器
- (2) 積分器 (ロー・パス・フィルタ)
- (3) 1 ビット A-D コンバータ (コンパレータ)
- (4) 1 ビット D-A コンバータ

ミッシング・コード ▶ アナログ入力に対してデジタル・コードの一部が抜け落ちてしまうこと。高分解能 A-D コンバータではミッシング・コードが発生しない分解能を規定している場合もある。

変調動作を、順を追って説明します。①入力アナログ信号 **A** は、前時点の1ビットD-Aコンバータ出力 **E** とともに減算器に入ります。②減算器は **A** と **E** の差 **B** を出力し、積分器に入れます。③積分器で、**B** を前時点のデータ **C** と足し合わせた **D** を出力し、コンパレータに入れます。④コンパレータ(1ビットA-Dコンバータ)で **D** を1ビットのデジタル信号に変換します。

このコンパレータ出力 **D** は $\Delta\Sigma$ 型 A-Dコンバータの最終的な出力レート f_s の K 倍 Kf_s で出力され、この周波数が入力信号のサンプリング周波数に相当します。この周波数は入力アナログ信号の周波数よりもかなり高くします。

これをオーバー・サンプリングといいます。オーバー・サンプリングは後で説明しますが、A-DコンバータのSNRを上げるための重要なテクニックです。SNRは信号(Signal)と雑音(Noise)の比です。

● $\Delta\Sigma$ 変調器の出力はパルス密度変調した1ビット・デジタル出力

図2の回路は別名チャージ・バランス型 A-Dコンバータとも呼ばれています。チャージ・バランス(電荷平衡)という名のとおり、この回路は入力電圧より

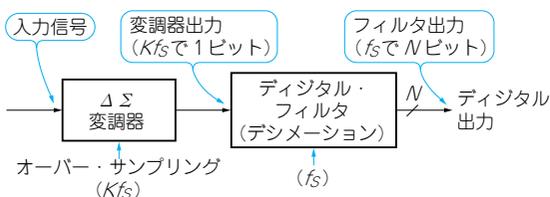


図1 高分解能な変換を得意とする $\Delta\Sigma$ 型 A-Dコンバータのブロック図

$\Delta\Sigma$ 変調器でデジタル信号に変換し、デジタル・フィルタで、オーバー・サンプリングされたデータの平均化と、サンプリング周波数の間引きを行う

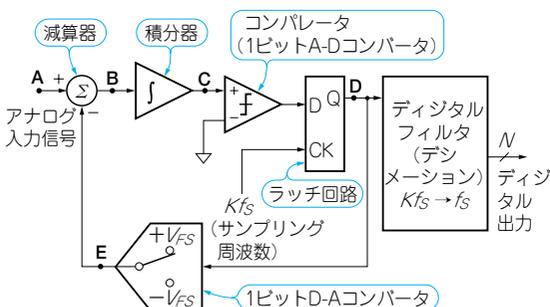


図2 アナログ信号を1ビット信号に変換する $\Delta\Sigma$ 変調器の構成

①減算器でアナログ信号 **A** と前時点の1ビットD-Aコンバータ出力 **E** の差 **B** を出力、③積分器で **B** を前時点のデータ **C** と足し合わせて **D** を出力、④コンパレータ(1ビットA-Dコンバータ)で **D** を1ビットのデジタル信号に変換

注入された電荷(チャージ)と1ビットD-Aコンバータから注入される電荷を平衡させ、積分器に入っているコンデンサの総電荷をゼロにするように機能します。

たとえば、アナログ電圧がゼロならば積分器への入力 **D** はD-Aコンバータからだけです。前述したように積分器コンデンサの総電荷はゼロ(そのように回路が動作する)なので、D-Aコンバータの出力は半分の期間だけ $+V_{FS}$ (フルスケール)になり、他の半分の期間は $-V_{FS}$ となります。したがって、このときはデューティ比は50%になります。

もし正のアナログ信号が入力されると、D-Aコンバータの出力は $+V_{FS}$ の期間が長くなり、その結果、“H” のデューティ比は増加します。

逆に、負のアナログ信号が入力されると“L” のデューティ比が増加します。

図3は、変調器入力が正弦波の場合です。入力が正のときは“H”の状態が長く、負のときは“L”の状態が長く続いているのが分かります。

● 後段のデジタル・フィルタでデータの平均化により分解能を上げる

$\Delta\Sigma$ 変調器の出力は単に1ビットのA-Dコンバータにしかすぎず、そのままでは使えませんが、平均化処理を行うことで分解能を上げることができます。

隣り合う2ビットを加算平均すると、0、1/2、1の3種類を出力できるようになります。この平均化、すなわち加算平均を行うのが $\Delta\Sigma$ 変調器の後段にあるデジタル・フィルタなのです。

加算平均を行うと、入力に急激なデータ変化があっても、出力はならされて緩やかな変化になることから、平均化は、アナログ回路でいうLPF(ロー・パス・フィルタ)に相当します。スペクトラム・アナライザ(スペアナ)やFFTアナライザでも、波形データに雑音があるとき、この平均化処理によって雑音の無いきれいな波形を得ることができます。

表1は、アナログ入力電圧が $5/8V_{FS}$ の場合を図2の回路図でシミュレーションしたものです。A-Dコンバータの分解能は1ビットしかなく、“H”と“L”

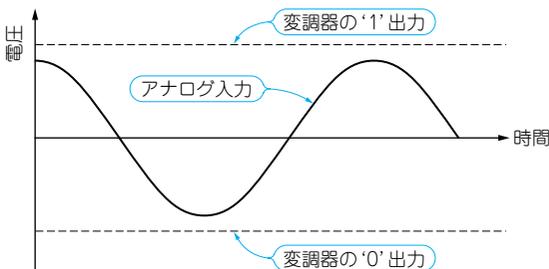


図3 正弦波を入力した $\Delta\Sigma$ 変調器の出力波形

入力が正のときは“H”、負のときは“L”が長時間出力される

積分非直線誤差 ▶理想変換直線からのズレの最大値、通常ゼロ点と V_{FS} を結んだ直線からの誤差の最大値を言う。ゼロに調整できないため最終的な誤差として残る。