

第10章 DDR-SDRAMからPCI-Expressまで

デジタル回路の配線実例集

五十嵐 拓郎/村田 英孝
Takuroh Igarashi/Hidetaka Murata



BGA からのパターンの引き出しと層数の見積もり方法

図1-1は、1.27 mm ピッチの256ピン・フルグリッドBGAを、ピン間3本ルールで配線したパターンです。BGAの外側5列がパターン引き出しの必要な信号線、残りが電源やグラウンドとなっていることを想

定しています。図1-1から、層は三つあれば配線できることがわかります。

はんだ面にパソコンなどの小さな部品を配置し、電源層とグラウンド層を加えると、合計6層必要です。

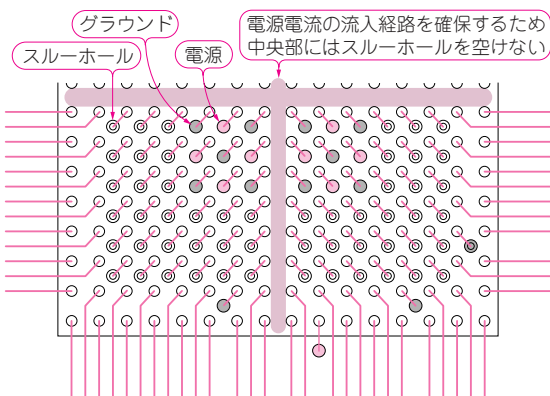
■ 配線のコツ

● BGA 中心部にはスルーホールを空けない

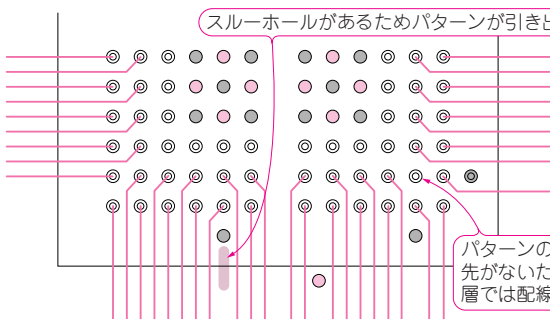
配線引き出し用のスルーホールは、BGAの中心点から見て外側に空け、BGAの中心の十字上にはスルーホールを空けないようにします。これはBGA中心部への電源電流の流入経路を確保するためです。

● 電源とグラウンド層の接続はできるだけ多くのスルーホールで

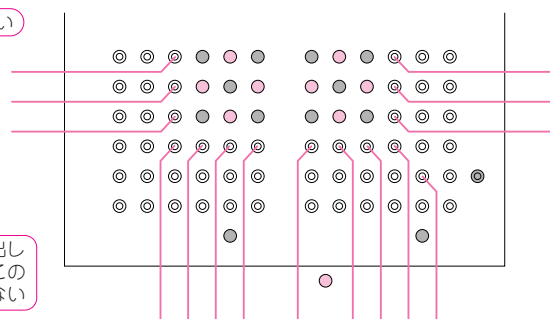
電源インピーダンスを下げるため、電源とグラウンド層への接続は、なるべくたくさんスルーホールで



(a) 部品面パターン…部品面では外周2列が引き出し可能



(b) 内層パターン1…最初の内層では2列ぶんの引き出しが可能ただし、じゃまなスルーホールがあると1列しか引き出せない



(c) 内層パターン2…2層目以降の内層では1列だけ引き出し可能

図1-1 1.27 mmピッチの256ピン・フルグリッドBGAをピン間3本ルールで配線したパターン

Keywords

BGA, DDR-SDRAM, スルーホール, ピン間3本, ピン間5本, SSRAM, CY7C1371C-100AC, DDR-SDRAM, MT46V16M16-5B, PCI/PCI-X, PCI-Express, 1/4/8/16/32 レーン, 差動ペア, Stratix シリーズ

引き出し列数	最低配線層数	
	ピン間3本	ピン間5本
2列以下	1層	1層
3列	2層	
4列		2層
5列	3層	
6列		
7列	5層	3層

(a) 1.27 mmピッチBGAの場合

引き出し列数	最低配線層数	
	ピン間3本	ピン間5本
2列以下	1層	1層
3列	2層	
4～6列	-	2層
7～8列		3層
9～10列		4層
11～12列		5層

(b) 1 mmピッチBGAの場合

表1-1
BGAから引き出す信号線の列数と引き出しに必要なプリント基板の層数の関係

行います。理想は1ピンあたり1個のスルーホールです。また、パソコンはできるだけ電源スルーホールの近くに配置します。

● プログラマブル・デバイスのピン割り当ては配線が楽になるよう考慮する

FPGAなどのプログラマブル・デバイスを使用し、基板実装密度が高い場合には、パターン配線に合わせてピン配列を行うべきです。信号配線層を減らせることが多々あります。量産時のコストを考えると多少の手間を惜しまずピン配列を行いましょう。

■ BGAを実装する際に
必要な層数の見積もり

表1-1に示します。引き出し列数は、信号パターンを配線する必要のあるBGAの外周からのボール列のことです。電源ピンは通常内層に接続し、配線を引き出さないでカウントしません。ただし、2列目のボールに電源ピンがあると、電源スルーホールが配線引き出しのじゃまになるので、必要な配線層数が増えることになります。

表1-2 ピン間3本、ピン間5本と称される設計ルール
の詳細(単位: mm)

項目	ルールの名称	ピン間3本	ピン間5本
パターン幅		0.15	0.1
パターン間隔		0.15	0.125
ランド間隔(外層)		0.25	0.15
ランド間隔(内層)		0.2	0.15
パターン-ランド間隔		0.15	0.125
ランド-パッド間隔		0.225	0.225
パターン-パッド間隔		0.175	0.125
スルーホール径		0.35	0.25
ランド径(外層)		0.65	0.4
ランド径(内層)		0.75	0.4

▶ ピン間3本、ピン間5本とは

2.54 mmピッチで空けられたスルーホール間に何本のパターンが通せるかという設計ルールです。ピン間3本であれば3本のパターンが通せるということになります。各社で若干の相違が有ると思われそうですが、私の勤務先で採用している各ルールでの最小加工寸法は表1-2のとおりです。 <五十嵐 拓郎>

メモリ・デバイス周りの配線を最小にするパターンニング

メモリ・デバイスを両面実装する場合、くふう次第ではパターン配線を大幅に減らせます。

ポイントは、機能上回路接続を入れ替えても動作の変わらない信号を見極め、表裏で配線が最小になるよう、回路図の時点で配線を入れ替えます。例えば、データやアドレス信号は、配線を入れ替えても機能動作に変わりがないことが多々あります。

図2-1はデータ・バス幅32ビットのSSRAM CY7C1371C-100AC(サイプレス)を、基板の表裏に配置し、配線した例です。図2-2に示した考え方を元に、かなり効率良く配線できています。ただし、部品実装時のプリント基板への熱伝達が悪くなりやすく、はんだ付け不良や、基板の反りなどが起こる可能性があります。パターン設計時点で実装担当者と打ち合わ

せを行い、温度プロファイルの調整などで対応できるか確認したほうが良いでしょう。

● データやアドレス信号のピン配置を入れ替え効率よく配線する

入れ替え可/不可のピンを確認します。確認後、CAD上または机上で、いくつかの組み合わせを検討します。例えばデータ・バスとバイト・イネーブ信号などは、単独では入れ換えできなくても、セットであれば入れ替えできます。また、表裏へ分岐後の配線長は、最短かつ等長とすると反射の影響を抑えることができます。

一般的によく使われるメモリでは、以下のような基準で入れ替え可能な信号を選択します。