

# 低電圧・高速応答電源 の実力

浜田 智 Satoshi Hamada

現代の電子システムの多機能化と処理の高速化に伴い、PLD (Programmable Logic Device) やマイコンは、高集積化とクロック周波数UPが進んでいます。

ICの内部では数万～数百万個ものトランジスタが、数百MHzのクロックで高速にスイッチングしており、大きな損失を発生させています。この損失による発熱は高

集積化の大きな壁になっており、半導体メーカ各社はコアの電源電圧を  $1.8\text{V} \rightarrow 1.2\text{V} \rightarrow 0.9\text{V}$  というふうに低くしてきました。

高集積化したICは、短時間に数Aから数十Aの大電流を引き込みます。図1に示すようにICが数A～数十Aの大きな電流を短時間(数 $\mu\text{s}$ )で出し入れすると、電源の出力電圧は変動しますが、CPU

コアの電圧が1.2VのFPGAなどはこの電圧変動が50mV以下であることが動作条件です。

コアの電源電圧の低下によって、図2に示すように電源には高い電圧精度が要求されるようになってきました。電源メーカやICメーカは、この過酷な条件を満たす各種の小型電源モジュールやICを提供しています。

## ● 負荷として小規模FPGAを想定

本稿では、次の二つの負荷でテストを行いました。

- 電子負荷装置
- 実際のFPGAに作り込んだテスト負荷モジュール(写真1)

PLDと一口に言っても、数千ゲートのCPLDから数百万ゲート以上のFPGAまでさまざまです。そ

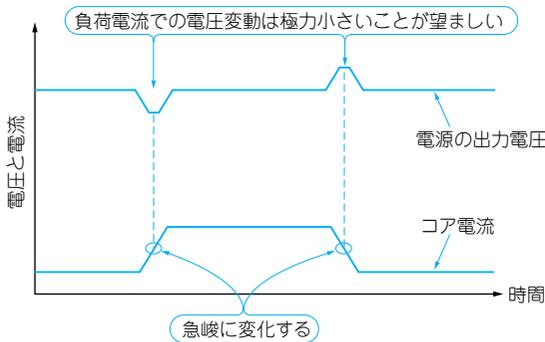


図1 ICのコアの消費電流が変化すると電源の出力電圧も変動する

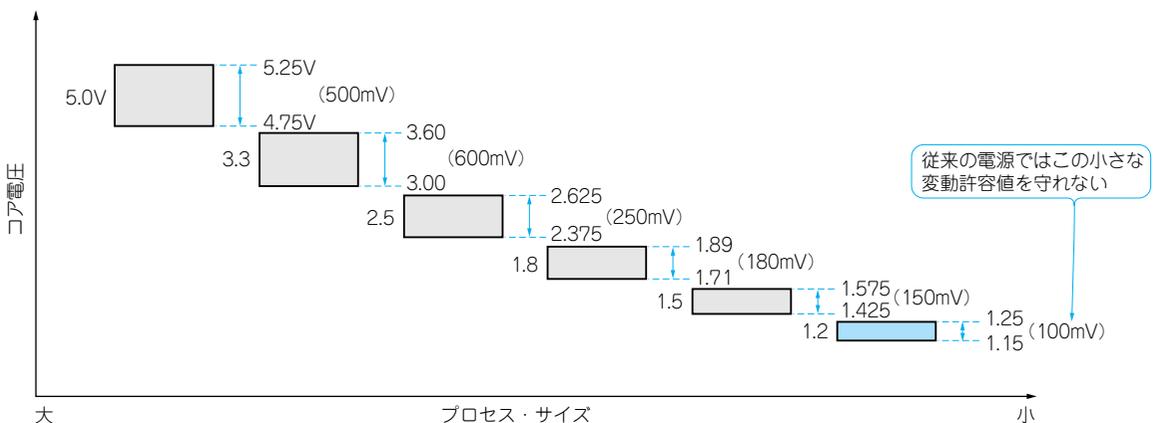


図2 コアの電源電圧が低下するほど、電源には高い出力電圧精度が要求される

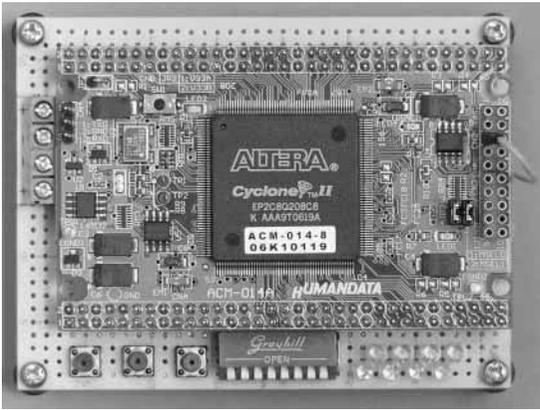


写真1 応答性能を測定するために製作したFPGAテスト負荷モジュール

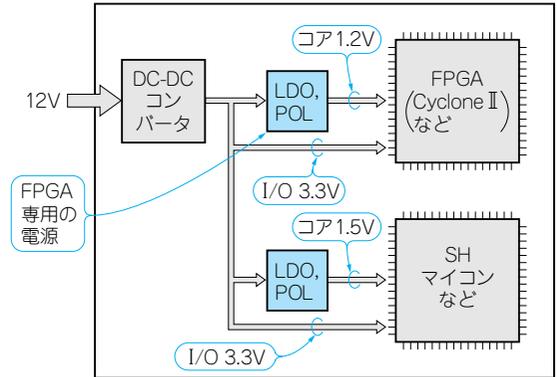


図3 産業用のCPUボードによく見られる構成

ここで、負荷としてあるターゲットを想定しました。それは産業用のCPUボードに多く見られる図3のような構成のもので、このようなボードによく使われるのは、Cyclone IIクラス(アルテラ)の小規模なFPGAです。ほとんどの場合メーカー提供の無償ツールで回路を開発します。

今回は、このようなFPGAに、Cyclone IIファミリ(EP2C8, アルテラ)を選択し、入手性も含めて、これに合った電源を探してみることにしました。入手可能なことにも配慮しました。

## POLとLDOの基礎知識

最近のFPGAには、次の2種類の電源が利用されます。

- POL(Point of Load)
- LDO(Low Drop - Out Regulator)

どちらも高い電圧を低い電圧に変換する回路ですが、その動作原理はまったく異なります。

### ● 使いかた次第で高効率な電源を作るLDO

図4に示すリニア・レギュレータの損失 $P_D$  [W]は、次式で求められます。

$$P_D = (V_{in} - V_{out}) I_{out}$$

$V_{in}$ と $V_{out}$ の差が小さいほど損失は小さくなります。

図5と図6に、7805などの3端子レギュレータとLDOの回路構成を示します。

いずれもパワー・トランジスタを可変抵抗器のように動作させて、出力電圧を一定に保ちます。いずれも入力電圧を出力電圧より高くしなければ動作しません。

低飽和型が汎用型と違うのは、パワー・トランジスタの極性が逆になっている点です。両者の違いはたったこれだけですが、汎用型は入力電圧と出力電圧の差が2V以下になるとパワー・トランジスタが正常に動作しなくなります。一方LDOのパワー・トランジスタは、その電圧が0.3~0.5Vでも正常に動作します。

リニア・レギュレータの効率は

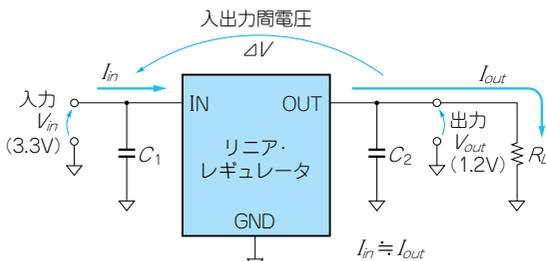


図4 リニア・レギュレータの損失は $V_{in}$ と $V_{out}$ の差が小さいほど損失は小さくなる

$V_{in}$ と $V_{out}$ の差が小さくても安定化動作するLDOは発熱の面で有利

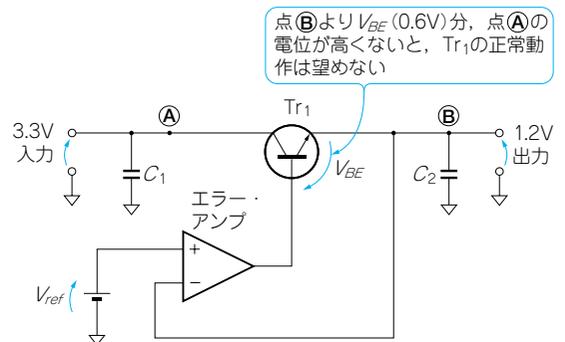


図5 3端子レギュレータの一般的な回路構成