



Verilog HDLによるロジック回路設計&実機デバッグの実際

FPGA 内部信号が丸見え！ モニタ表示回路の製作

第3回 FPGA 内部信号丸見え IP の具体的な回路構成

木村 真也 Shinya Kimura

● FPGAの中に作りこむデジタル回路の実際

内部信号VGA表示用IPコア(図1)は、観測対象の回路と一緒にFPGAの内部で動きます。

FPGA 内部に作れる回路の規模は制限がありますし、あまり複雑な回路になると動作速度も低下します。同じ動作を実現するなら、より単純な回路ですむように工夫します。

使えるところではAND/OR/NOTで作れる組み合わせ回路を使ったり、小さなビット数の信号で済ませたりといった工夫をしながら回路を決めていきます。

● FPGA内部信号VGA表示用IPの機能構成

具体的に必要になる制御信号を含んだ、より詳細な構造図が図2です。機能単位で詳細に説明します。

VGA 基本同期信号生成部

- VGA モニタに必要な同期信号などを生成する

VGA 基本同期信号生成部は、VGA モニタに画像を表示するために必要な基本信号として次の4つの信号を生成します。

- H_Sync(horizontal sync) 水平同期
- V_Sync(virtical sync) 垂直同期
- X_Displ(X display) 水平描画期間
- Y_Displ(Y display) 垂直描画期間

VGA 信号は 800 ドットで 1 ライン、垂直同期信号は 525 ラインで 1 画面です。簡単にするため、同期信号の原点をずらして図 3 のようなタイミングで信号を生成します。生成回路は、ドット数やライン数を数えるカウンタを元に構成します。

X_DisplとY_Displは、図3の描画エリア内であることを示す信号です。描画エリア期間以外のときは、輝

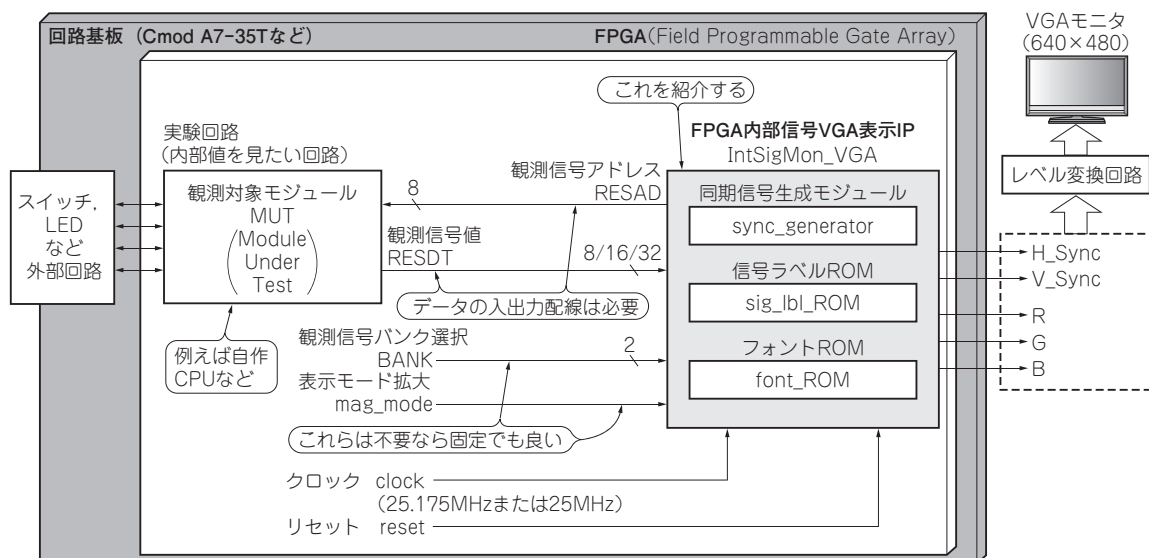


図1 FPGA内部に作る回路の動作を把握できるように、内部信号を外付けVGAモニタに一覧表示できるIPコアを作ってみた