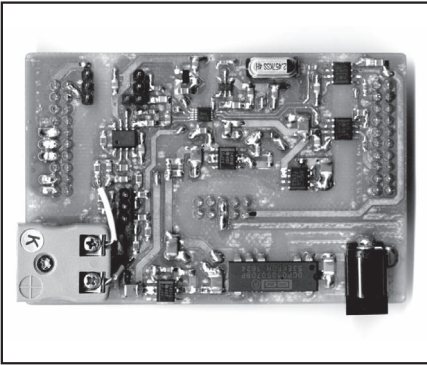


連載



計測用16ビットA-D変換の回路技術

多チャンネルADCに学ぶ
プロの基板設計ノウハウ

第2回 信号源間が非導通なマルチチャンネルADC
における配線パターン設計の実際

中村 黄三 Kozo Nakamura

今回は、複数のA-Dコンバータを並べたマルチ入力A-D変換基板(以下、マルチチャンネルADC)における、信号源間が互いに非導通である条件下での部品の配置やグラウンド設計は川のイメージと解説しました。今回は同じ条件下でのパターン・レイアウト方法を、実例に基づいてより深く解説します。

お題…DC～20 kHzの信号解析用の
非導通マルチチャンネルADC回路

● 回路の概要

図1に信号源間が非導通なマルチチャンネルADC回路の実例を示します。16ビットより更に高分解能な $\Delta\Sigma$ 型の24ビットA-Dコンバータ(ADC)を使用し、DCから20 kHz程度までの信号解析を目的とした回路です。ターゲット・アプリは広いダイナミック・レンジが求められる振動解析で、1 Hz以下の地震波の測定も含まれます。この用途に向けての設計思想として、電圧信号(波形)に対する測定精度と総合SN比100 dBをゴールに置いています。ビット換算で表すとこれは、ノイズ・フリー・ビット(以下、NFB)で17ビットに相当します。NFBはピーク・ツー・ピーク・ノイズによってバラつかないA-Dコンバータのビット数です。

図では2チャンネル分の回路を示していますが、信号源が互いに非導通であれば、ここでの解説はより多くのマルチチャンネルADCにも適用できます。

限定として「信号源が互いに非導通な」としてはいますが、各信号源の間の絶縁抵抗が1 M Ω 以上あれば問題ありません。

● キー・パーツのADCと基準電圧用IC

A-Dコンバータの入力レンジを決めるリファレンス電源には当初、比較的ノイズ V_N が低く消費電流 I_Q が小さいREF3025($I_Q=59\mu A$, $V_N=80\mu V_{RMS}$, テキサス・インスツルメンツ)を検討しましたが、ターゲットSN比の目標を達成するため最終的には、より低 V_N であるREF5025(テキサス・インスツルメンツ)を選択しました。リファレンス電源出力に含まれる V_N

はリファレンス電源自体の消費電流 I_Q に反比例します(重要)。そこで I_Q には目をつむり、REF5025($I_Q=1.2\text{ mA}$, $V_N=0.36\mu V_{RMS}$)へと置き換えたわけです。

複数のA-Dコンバータのゲインをできるだけ等しくするには、1個のリファレンス電源から各A-DコンバータのREF入力へ分配するのが理想です。しかし、リファレンス電源とREF入力の距離が伸びて配線抵抗 R_W が原因となるノイズの混入が懸念されます。そこでA-Dコンバータとリファレンス電源とは対で使うことにしました。

チャンネル間の微小なゲインのバラツキは、プロセッサ側でソフトウェアによる補正が簡単にできますが、ノイズの低減はFFTのアルゴリズムを採用する必要があります。非力なプロセッサでは実現が困難なためです。

● 高分解能ADCのデジタル入出力にはロジック・パルスのエッジ対策がキモ

高分解能A-DコンバータのデジタルI/Oピンを直接プロセッサのバス・ラインに接続すると、バス・ライン上のロジック・パルスのエッジがA-Dコンバータの敏感な回路にカップリングしてしまいます。最悪のケースでは、16ビットA-Dコンバータを使用しても下位4ビットが暴れ、12ビット程度のNFBしか得られません。

そこで、図1ではI/Oピンの配線に抵抗51 Ω を割り込ませています。この直列抵抗により、デバイスのI/Oピンに寄生する半導体内部の容量(数pF)とで1次のRCフィルタが構成されます。このRCフィルタにより外来パルスのエッジがなまりNFBの低下が免れます。

さらにはADS1271(テキサス・インスツルメンツ)のような24ビットA-Dコンバータでは、内部のロジック回路も深刻なノイズ源となるので、ロジック系の動作電源電圧を1.8 Vと低めに設計し、ロジック性ノイズを抑制しています。そのため外部ロジックとのインターフェース用に、3.3 V系から1.8 V系へのロジック・レベル・コンバータ(IC₉~IC₁₁)が必要になります。