



第2章 帯域 10 MHz, 分解能 8 ビットの アナログ入力と 10 Mbps のデジタル入力をもつ

アナデジ両用データ・ロガーの 設計と製作

武山 伸
Shin Takeyama

本章では、高速 A-D コンバータと SRAM を組み合わせて、小規模なマイコン・システムのデバッグなどに使える USB 接続のロジック入力 8 チャンネル、アナログ入力 1 チャンネルのデータ・ロガーを設計製作します。

製作したデータ・ロガーの概要

今回は、CPLD の回路を設計するほかに、プリント基板とパソコン側の波形取り込みソフトウェア(制御ソフトウェア)を製作しました。

● プリント基板

ユニバーサル基板に組み上げるのは難いため、プリント基板を起こしました。これで製作の難易度が上がってしまって実際に作ってみようという気になる人は少ないと思いますが、2006年4月号の付録CPLD基板でどのくらいのものが作れるのかという参考になればと思います。

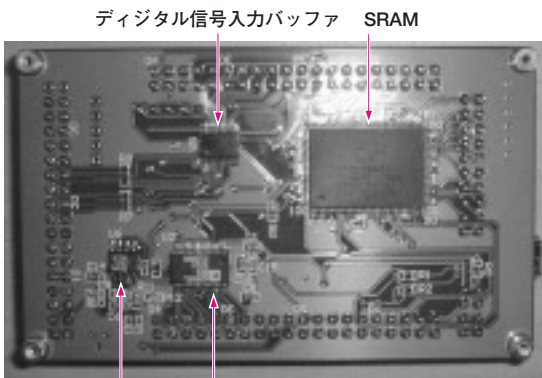


写真1 製作したプリント基板の外観

プリント基板の外観は写真1のとおりです。同期 SRAM や A-D コンバータ などメインの部品が載っている面です。4月号の付録 CPLD 基板と組み合わせて実際に使うときの状態は写真2のようになります。

プローブは市販の USB ロジック・アナライザに付属してきたものを流用しています。

● 波形取り込みソフトウェア

パソコン側の制御ソフトウェアは Python (パイソンと読む) で作成しました (p.175, コラム参照)。このソフトウェアで実際に波形を取り込んだようすを図1に示します。

図1の表示波形はセンサを使用した小規模マイコンシステムの信号を取り込んだもので、アナログ・チャンネルでセンサ出力を取り込み、ロジック・チャンネルでワンチップ・マイコンの出力信号を取り込んでいます。サンプリング・クロックを 6 MHz に設定し、メモリ長 512 kポイント、トリガ位置を 40%、トリガ・ソースはアナログ信号で A-D コンバータ出力が 224 のレベ

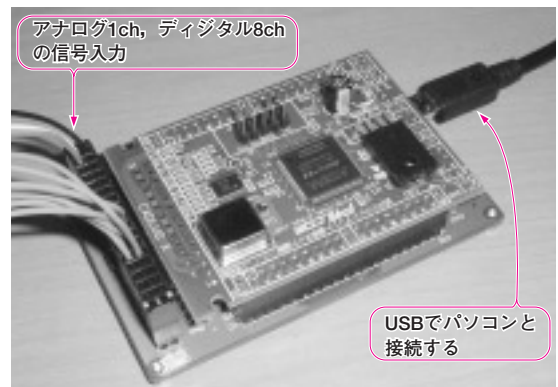


写真2 4月号付録CPLD基板と組み合わせたようす

Keywords

オシロスコープ, ロジック・アナライザ, 波形取り込み, トリガ・モード, レジスタ, SRAM, USB, Veritak, ModelSim, VCD, Value Change Dump, Python, USBN9604, CY7C1367A, AD9051, ATmega16L

ルとし、トリガ・エッジは立ち上がり方向という設定にしています。ウィンドウ中央付近のバースト状の波形部分でトリガがかかっているのがわかると思います。

この波形取り込みソフトウェアは最低限の機能しか実装していないため、波形の細かい部分を拡大して検証するなどの作業にはあまり適していません。そのかわり、VCD(Value Change Dump)ファイルとしてデータを保存できるようにしてありますので、VeritakやModelSimといったシミュレータでデータを読み込んで表示することができます。

これにより、HDLシミュレータの機能を使用して波形の詳細な検討がしやすくなります。個人的にはVeritakのほうが表示が高速なこともあって好きなのですが、新しいバージョンでは描画方式が変わってしまったようで、波形全体の表示をするとうまく表示されない部分があるようです。図2に示す画像は、Veritakバージョン1.75 Aを使って表示させたものです。図3はModelSimで表示させたものです。

なお、VCDについての詳細はIEEE Std 1364-2001に記載されています。

● データ・ロガーとしての仕様

製作するデータ・ロガーの仕様は表1のようにしました。

メモリ・サイズを変更する必要はなく、いつも最大の容量を利用すればよいように思うかもしれませんが、USBの転送速度がそれほど速くないためにメモリ・サイズが大きいほど転送時間が余計にかかってしまいます。また、VCDファイルでセーブするときにファイル・サイズが大きくなり、シミュレータで表示する際にもPCのメモリをより多く必要とするなどのマイナス面もあるので、つねに最大の容量にしておくのがよいとはかぎりません。

サイズを4Kや8K程度にしてトリガ・モードをAUTOにしておくと、毎秒数回の描画ができるようになり、オシロスコープのようにリアルタイムに波形

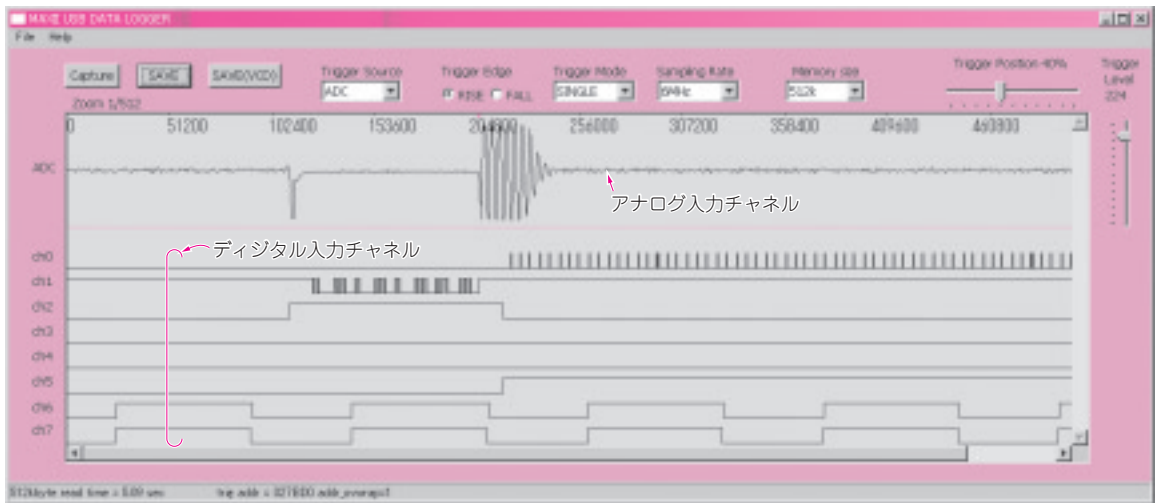


図1 波形取り込みソフトウェアで取り込んだ信号の例

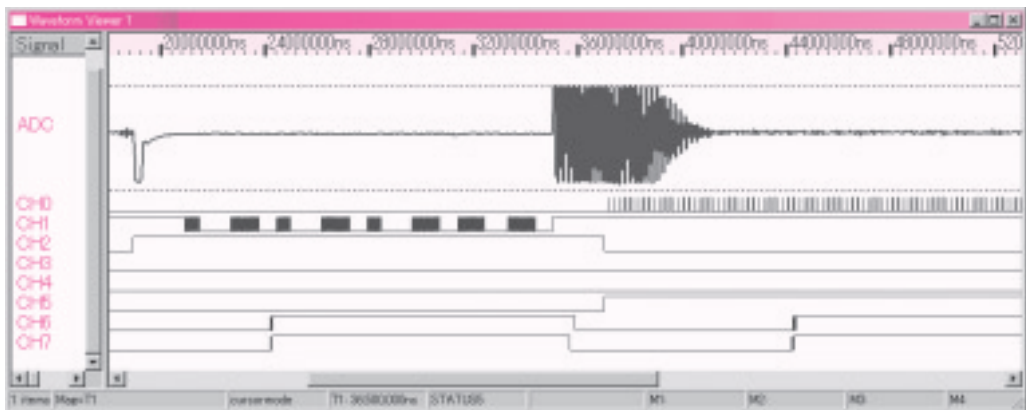


図2 Veritak での波形データ表示例