

最高40 MHz, ダイナミック・レンジ 80 dB

スペクトラム/ネットワーク解析から FM チューナ/SSB トランシーバまで

USB-FPGA 信号処理基板の製作と応用

小川 一朗(おじさん工房)

第3回 スペクトラム・アナライザを作る②

LVDS信号を入力し周波数変換する

キットの問い合わせ先: CQ 出版社 (03)5395-2141

A-D変換からFPGAに入力するまで

A-D変換された信号はLVDS DDR形式でFPGAに送られます。LVDS DDRの配線パターンは、本来はインピーダンス整合させて、すべての信号線を等長配線にしないとイケませんが、クロックが100 MHzと低いのでそこまでは厳密には設計していません。一番長いパターンと短いパターンで配線長の差が小さくなるように、短いほうをミアンダ配線(meander line)にしましたが、等長にはなっていません。

基板(FR-4)の短縮率を50%とすると0.07 ns/cmとなります。1~2 cm程度のパターン長の差は0.2 ns以下となるので、DDRの読み取りタイミングの5 ns(100 MHzの周期の半分)に比べて十分に小さく問題ありません。短いパターンでのミアンダ配線も必要なかったかもしれません。

● LVDS DDRの読み取り部分

図1に、FPGA内部のLVDS DDR読み取り部分のブロック図を示します。adc1610s.vhdの中でIBUFDS、IODELAY2、IDDR2を順番に接続しています。

LVDS DDR信号は、IBUFDS(LVDSレシーバ)で終端され、差動信号からシングルエンド信号に変換します。シングルエンドになった信号(DDR)は、IODELAY2ブロックで設定された時間だけ遅延し、

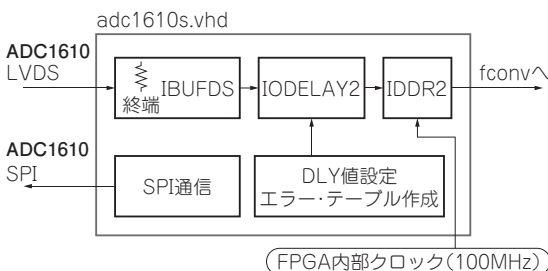


図1 LVDS DDR FPGA入力部分のブロック図

DDR2プリミティブでFPGA内部クロックの両エッジ(0°と180°)で読み込んで16ビット・データとなります。

ADC1610SとFPGAで差動信号極性が逆になっているので反転すると同時に、180°クロックで読み込んだデータも0°クロックでラッチして同期化します。

このなかで、IODELAY2ブロックは何のために入っているのでしょうか。ADC1610Sから送られたLVDS DDR信号をFPGA側では、エラーの起きない適切なタイミングで読み取る必要があります。しかし、ADC1610Sから出力されるLVDS DDR信号はADC1610Sのクロックに同期していて、FPGA側のクロックとは違う(もとは同じ発振器だが、それぞれ遅延があるので位相関係がわからない)ので、そのままだと正常に読み取れません。

本来はADC1610Sから出ているDAV(Data Valid)信号を使うのですが、読み取ったあとでFIFOなどでFPGA内部クロックにクロックの乗り換えをしなければならず面倒です(FIFOを使うと遅延時間が何かのタイミングでずれてFIFOがフルやエンプティになり読み取りがずれるかもしれない危惧もあった)。

そこで今回は、使っているFPGA XC6SLX9の入力パッドに付いているIODLAY2という可変遅延回路を使ってDDR信号を遅延させ、FPGA内部クロックで正常に受信できる(セットアップ・タイム t_s とホールド・タイム t_h が確保できる)遅延値に設定するという方法を使いました(図2)。

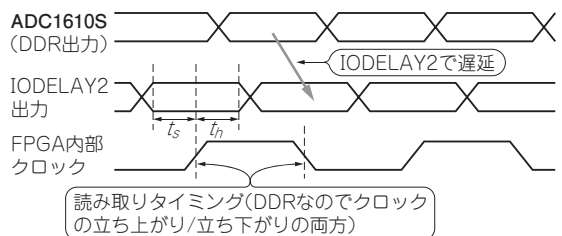


図2 IODELAY2で読み取りマージンを最大にする