

連載



Verilog HDLによるロジック回路設計&実機デバッグの実際

FPGA 内部信号が丸見え！ モニタ表示回路の製作

第4回 通信レートに間に合わせるために必要となる
高速パイプライン化

木村 真也 Shinya Kimura

● FPGAの中に作るデジタル回路を観測したい

FPGAはいろいろなデジタル回路が作り込めますが、その動作をロジック・アナライザやオシロスコープのような測定器で観察するには、FPGAの外部に信号を引き出す必要があります。

FPGAメーカーが提供するロジック・アナライザIPもありますが(コラム参照)、もっと直接的かつリアルタイムにモニタへ値を表示する方法として、内部信号を外部モニタへ表示する回路を紹介しています(図1)。

観測対象モジュール側の付加回路

● 回路構成で考えられる2つの案

モニタに表示したい信号に対して、適当に信号アドレス(信号番号)RESAD [7:0] を割り当てます。観測対象モジュール(MUT)側には、このRESAD [7:0]の入力に対応する信号値をRESDT信号線へ出力する回路を用意する必要があります。RESDT信号のビット

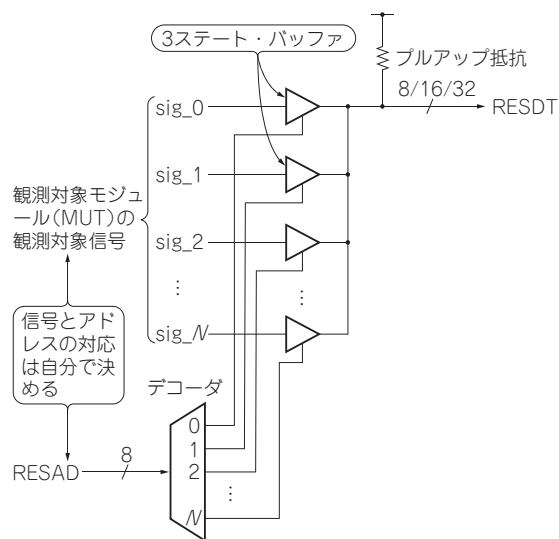


図2 観測対象モジュール側にも回路を付加する必要がある…その①：3ステート・バッファを使用する場合

ト幅は、8、16、32ビットからあらかじめ決定しておきます。

この観測対象モジュール側に用意する回路の具体的な構成方法は2通りあります。

- 3ステート・バッファ経由でバスを構成(注1)し、RESDTに出力する
- マルチプレクサで選択してRESDTに出力する

両者をミックスした構成でもかまいません。要は、RESADの値に対応する信号を取り出すことができればよいわけです。信号取り出し回路の例を図2、図3に示します。

● Verilog HDL 記述

これらの回路構成に対するVerilog HDLの記述例を示します。

リスト1は、信号線RESDTのビット幅が8ビット、3ステート・バッファを使用した構成例です。この例では、8ビットの信号sig8_0とsig8_1があり、16ビットの信号sig16があります。sig16は上下2分割し3ステート・バッファ経由でRESDTに接続しています。

注1：FPGAによっては、内部回路として3ステート・バッファやバス・ラインを持たないものもあるが、HDLで記述しておけば、論理合成ツール(Vivado、ISEなど)が自動でマルチプレクサ構成に変換して回路を合成してくれる。

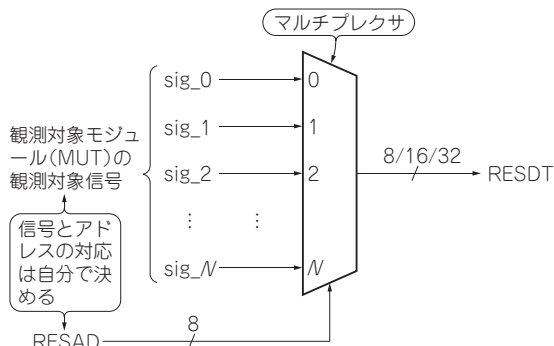


図3 観測対象側にも回路を付加する必要がある…その②：マルチプレクサを使用する場合