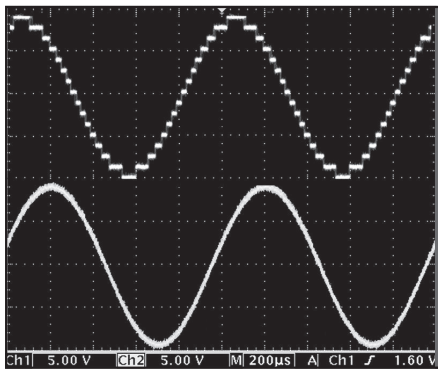


連載



精度不良の70%を占めるADC周辺回路&部品誤差要因を攻略せよ
計測用16ビットA-D変換に学ぶ
プロのアナログ回路設計ノウハウ

第2回 入力段OPアンプが原因となる
ADCの誤差要因

中村 黄三 Kozo Nakamura

今回は、非直線性誤差の要因となる入力突入電流対策、および信号周波数に対する必要なスルー・レートの計算方法について解説します。

ADCドライブ用OPアンプに
要求されるスルー・レート

16ビット超のA-D変換に関わる非直線性誤差の主な要因は、前回(2025年9月号)解説したように、図1で示すA-Dコンバータ(以下、ADC)のドライバに使うバッファ用OPアンプ(以下、OPアンプ)の同相モード除去能力(CMR)に依存する①非直線性誤差です。しかし、直線性不良につながる要因はこれだけではありません。

● $\Delta\Sigma$ 型ADCの突入/出力電流への応答

1つには、OPアンプとADCの組み合わせによる非直線性誤差の誤差要因が存在します。

具体的には、スルー・レートの遅いOPアンプと $\Delta\Sigma$ 型ADCとの組み合わせです。24ビットの $\Delta\Sigma$ 型ADCの標準的な積分非直線性(INL: Integral Nonlinearity)は20 ppm前後ですが、これを維持するには、ADC内

部への②突入電流(ADCの入力部へ流れ込む、ないしは入力部から流れ出る突入電流)の影響と対策を考えなければなりません。

● 入力信号の最大周波数と振幅への対応

これ以外にも、AC的な直線性不良、すなわちひずみを招くOPアンプの③スルー・レート不足も考慮しておく必要があります。信号伝達回路の最終段に位置するOPアンプの出力は、最も大振幅で振る必要があります。

したがってAC系アプリケーションの場合は、伝達信号の最大周波数と振幅に対して、OPアンプのスルー・レートが十分に見合っていないとひずみの原因となります。

加えて、前回で解説したレール・ツー・レール入力CMOS型のOPアンプの局部的偏移の有無もひずみに関わってきます。

ADCへの突入電流による
バッファ出力の揺らぎの影響

非直線性誤差に対するユーザからのクレームとしては、①に次いで、②による原因が2番目に多いケースとして挙げられます。状況としては、高精度ではあるがスルー・レートが遅いOPアンプで $\Delta\Sigma$ 型ADCをドライブしている場合です。

● 問題がおこる典型的な回路構成

この問題の典型的な回路は、低ノイズで低オフセット電圧が売り物の高精度OPアンプの元祖OP07(スルー・レート: 0.3 V/ μ s)と、その進化型OPA177/OPA277(スルー・レート: 0.8 V/ μ s)を、内部に入力バッファをもたない $\Delta\Sigma$ 型ADCに直結したものです。

図2にOPA277の出力とADC入力とのピン間を、オシロスコープで観測した波形を示します。図2(a)のように、ピン間に1次の簡単なアナログ・フィルタを入れている場合は問題ありません。図2(b)のように直結した場合は約40 nsと短時間ですが下向きのス

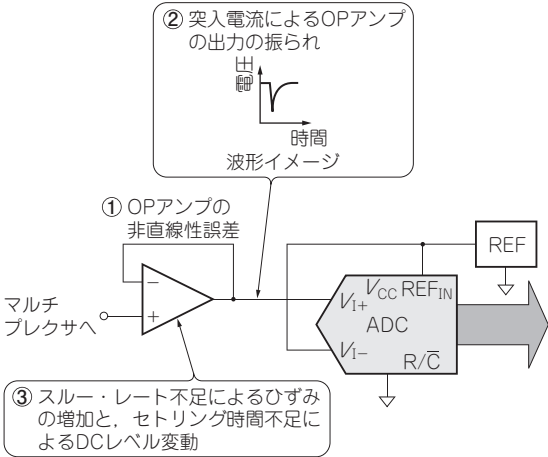


図1 バッファ・アンプの能力限界によるA-D変換の誤差源
今回は②③を解説する。①は前回解説