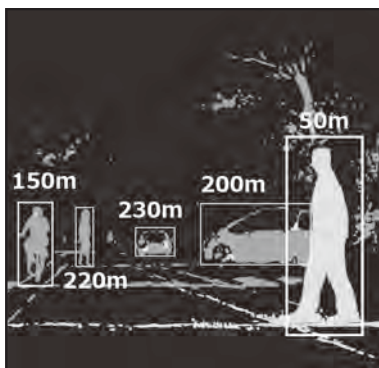


第3章

イメージ・センサの進化を支える
涙ぐましい努力の結晶

高精細&高速撮影のための 回路技術

エッジ ヒロフミ Hirofumi Edge



高速&高精細撮影のための回路構成

多画素でフレーム・レートを上げるには高い駆動周波数にする必要があります。回路設計の難易度が増大します。

CCDの場合は、出力回路は最終出力部に1つの回路で構成する場合があります。そのため、多画素で速いフレーム・レートを達成させるには動作周波数を高くする必要があります。消費電力や回路ノイズの増大で設計を困難にしていました。

● CMOSイメージ・センサの利点

これに対して、CMOSイメージ・センサは、出力回路をカラム部に並列に設計することが可能です。例えば、CMOSイメージ・センサは数百万画素を数百フレームで信号を出力させることが可能です。このように多画素、高速フレーム・レートのCMOSイメージ・センサが開発、商品化されています。CMOSイメージ・センサのカラム出力部でA-D変換を行うことで、従来はアナログ出力で生じていた各種システム的な動作に起因するノイズの影響を、イメージ・センサ・チップ上で排除させる方法が主流になってきています⁽¹⁾。

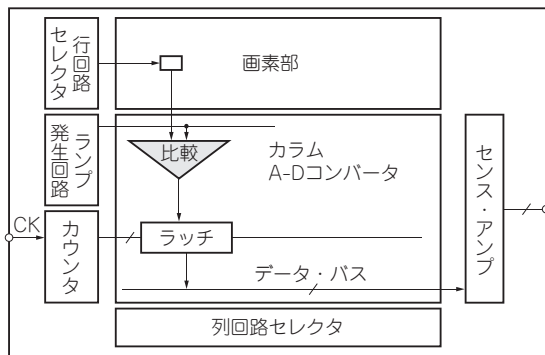
高速に画像データをデジタル・データへ変換させ

るためには、A-D変換の解像度と併せて基本アーキテクチャを考察する必要があります。当初は、A-Dコンバータに逐次比較型などを搭載したCMOSイメージ・センサも開発されていましたが、現在では最もシンプルな回路構成であるシングル・スロープ型のA-Dコンバータが用いられています。

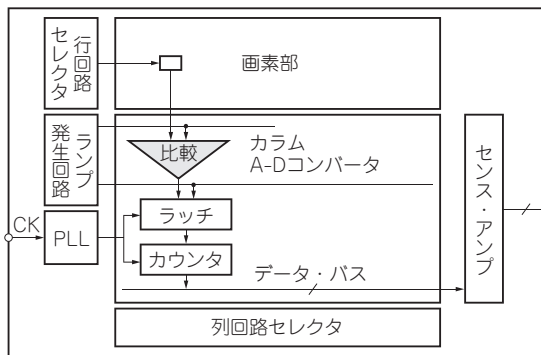
このA-Dコンバータはコンパレータ、データ・ラッチ、ランプ発生器、同期カウンタから主に構成されます。本方式は並列で駆動させる場合、比較的低い駆動周波数で、低消費電力でかつ低ノイズ、多ビットA-Dコンバータを実現できます。しかし、この方式は同期カウンタを用いているため、高速のタイミングに同期をとる場合に同期エラー発生が懸念されます。これに対して、非同期での動作が可能なPLLを有したA-Dコンバータが開発されました(図1)。

● 高画質/高速フレーム対応化アーキテクチャ

改善されたA-Dコンバータは、高画質/高速フレーム対応化アーキテクチャです。特徴的な点は、アナログ的CDS(Correlated Double Sampling; 相間2重サンプリング)とデジタル的CDSの2回のノイズ・キャンセルにより、大幅に低ノイズ化を可能にできるということです。図2に高速カラムA-Dコンバータの基本ア



(a) カウンタ同期



(b) PLLを用いた非同期

図1 高精細撮影のために①…非同期PLLによるA-Dコンバータの高速化
シングル・スロープ型ADCの構成