

第5章 **STAGE2** サンプル・プログラムで 基本機能をチェック!

タイマ/ウォッチ・ドッグ・タイマ/ D-A変換器を動かしてみる

渡辺 明禎
Akiyoshi Watanabe

本章では、16ビット・タイマ/カウンタ Timer_A3, 8ビット・タイマ Basic Timer1, ウォッチ・ドッグ・タイマ WDT+, 12ビット D-A変換器 DAC12の使い方について解説します。

16ビット・タイマ/カウンタ Timer_A3の使い方

16ビット・タイマ/カウンタ **Timer_A3**は、複数のキャプチャ/コンペア, PWM出力, インターバル・タイマ, 周波数/周期計測など、多くの用途に使うことができます。

Timer_A3のブロック図を図1に示します。三つのキャプチャ/コンペア・レジスタ付きの16ビット・タイマ/カウンタです。

■ タイマ・ブロック

● 16ビット・タイマ/カウンタ

Timer_A レジスタ TAR は、16ビット・タイマ/カウンタ・レジスタで、タイマ・クロックの立ち上がりでカウントされます。

Timer_A制御レジスタ TACTLの TACL R ビットをセットすると、TAR, 分周器, カウント方向がクリアされます。

注意 TARはいつでも読み書き可能だが、タイマ・クロック (TACLK など) と CPU クロックが同期していない場合、正しく読み取れない場合がある。TARはカウンタ値を示しているが、R/Wなので '0' を書き込みリセットさせることも可能

● クロック・ソースの選択と分周

TACTL レジスタの TASSEL フィールドの設定により、クロック・ソースは **TACLK**, **ACLK** (低周波補

助クロック), **SMCLK** (サブシステム・マスタ・クロック) のなかから選択できます。

選択回路の出力は分周器で分周されます。TACTL レジスタの ID フィールドの設定により、分周比は $1/1$, $1/2$, $1/4$, $1/8$ のなかから選択できます。分周器出力は TAR のクロック・ソースのほかに、キャプチャ/コンペア・ブロックなどでも使われ、**タイマ・クロック** と呼ばれます。

注意 TACLK は外部入力端子で、P1.5 端子と共用している。したがって、TACLK を選択する場合、P1DIR.5 を '0' (入力), P1SEL.5 を '1' (モジュール選択) とする

● 四つのカウント・モード

カウント・モードは、図2に示す **アップ・モード**, **連続モード**, **アップ/ダウン・モード** と **停止モード** の4種類があり、TACTL レジスタの MC フィールドで選択します。

▶ アップ・モード (MC= "01")

アップ・モードは、TAR をゼロから「Timer_A キャプチャ/コンペア・レジスタ TACCRx (CCRx) の設定値」までを繰り返しカウントするモードです。

図2(a)に示すように、TAR=CCRx のとき TACCTLx レジスタの CCIFG ビット (フラグ) がセット ('1') されます。次のクロックの立ち上がりで TAR はゼロにリセットされ、そのときに TACTL レジスタの Timer_A 割り込みフラグ TAIFG がセット ('1') されます。

したがって、いずれかのフラグによる割り込みを許可することにより、CCRx で決まる割り込み周期で、定期的に割り込みを発生することができます。

▶ 連続モード (MC= "10")

連続モードは、TAR をゼロから FFFFH までを繰り返しカウントするモードです。図2(b)に示すように、

Keywords

タイマ, カウンタ, Timer_A3, アップ・モード, 連続モード, アップ/ダウン・モード, 停止モード, PWM, ウォッチ・ドッグ・タイマ, レール・ツー・レール, D-A変換

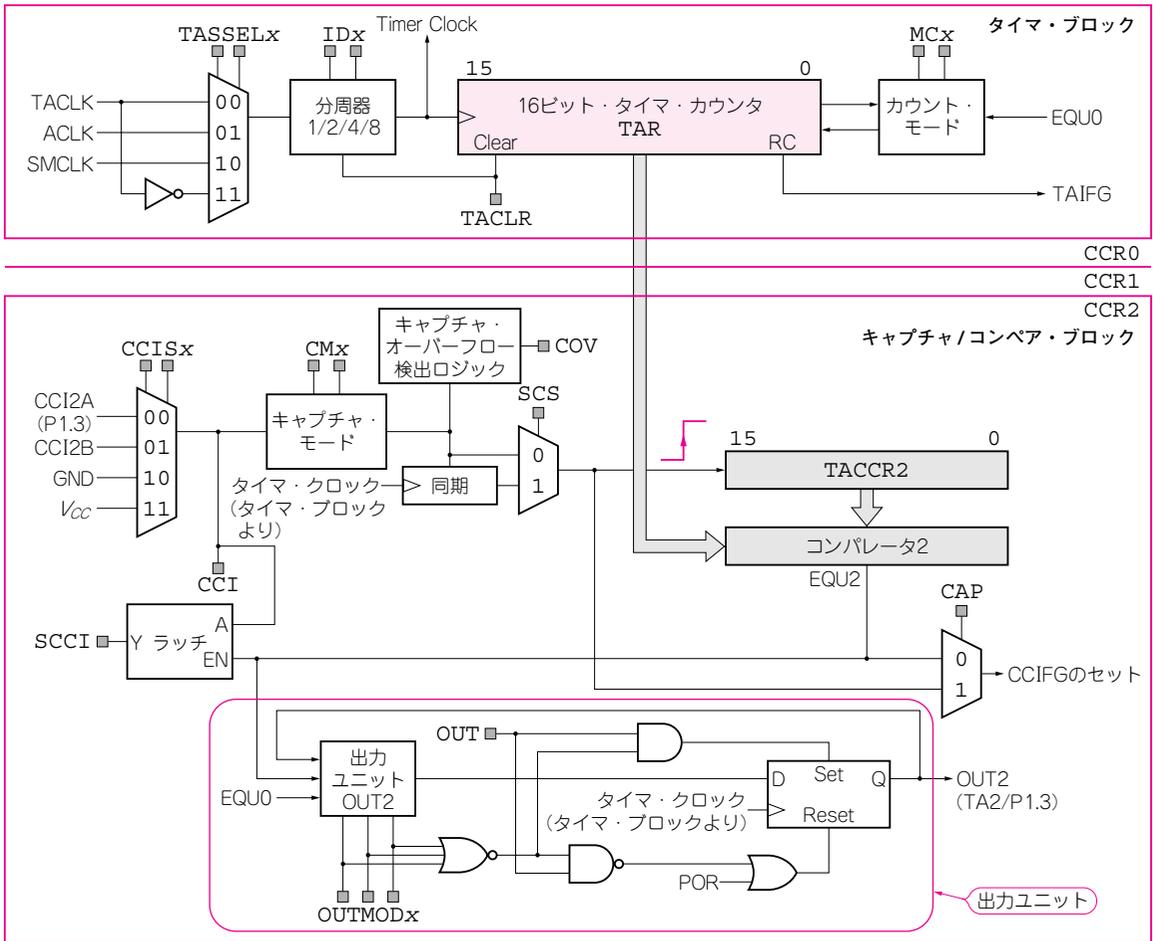


図1 16ビット・タイマ/カウンタTimer_A3のブロック図
 Timer_A3は三つのキャプチャ/コンペア・レジスタ付きの16ビット・タイマ/カウンタ

TAR=FFFFH からゼロにリセットされるときに、TACTL レジスタのTAIFG フラグがセットされます。

このモードは、複数の周期を持つ**インターバル・タイマ**が必要なときによく使われます。例えば、図2 (b)のようにCCR0=10000, CCR1=15000とした場合、

TAR=CCR0=10000 のとき (A点) に TACCTL0 の CCFG フラグがセットされます。その割り込み処理ルーチンで CCR0=10000+10000=20000 とします。

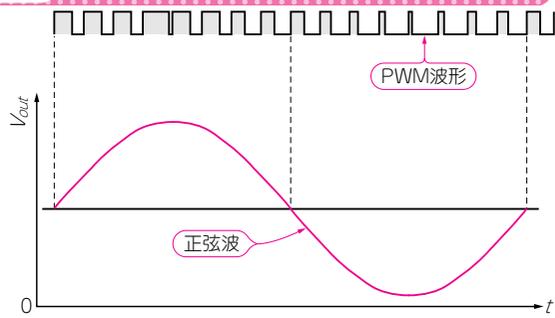
次に、TAR=CCR1=15000 のときに、TACCTL1 の CCFG フラグがセットされます (B点)。その割り込

用語解説—1 PWM

パルス幅変調(Pulse Width Modulation)のことです。出力波形の周期を一定にしておいて、ONとなる時間を変化させて、出力波形の平均出力電圧を変化させます。

例えば、最小1 μs のパルス信号を使う場合、周期を256 μs とすれば、1/256 のステップで平均出力電圧を制御できるので、8ビットの分解能を得られることになります。

正弦波を得るためのPWM波形を図Aに示します。正弦波の電圧が高い場合はON時間が長く、小さい場合はON時間は短くなります。



図A PWM信号のON時間と再生信号の振幅の関係