



第2章 損失対策は上流で行うほどお得

# スイッチング回路の損失解析 実測 vs シミュレータ

角 詩織 Shiori Sumi

## スイッチング回路の損失解析は 上流設計で行えるほど戻りが少ない

近年、スイッチング電源はさらなる高効率化が求められています。回路効率を上げるためには、言うまでもなく、回路内に発生する損失をできるだけ少なくする必要があります。従来の損失対策は試作段階で行われることが多く、その結果、設計への手戻りも発生し、これが開発効率を悪くする原因の1つとなっています。

もし、上流設計の段階でシミュレーションを用いて十分な損失解析を行うことができれば、その結果を基にして試作前に対策を施すことが可能になり、開発工数の削減や品質の向上が期待できます。最近ではシミュレーション技術も進化を遂げており、従来の回路シミュレータでは困難であった損失解析も最新の回路シミュレータを使用すれば効率よく行えるようになってきています。

そこで、本章では回路シミュレータを使用したスイッチング電源の損失解析において、その結果と実際の測定結果を比較して、回路シミュレータを使った上流設計の有効性を検証していきます。

## 損失要素①…パワー MOSFET

まず、スイッチング電源にはどのような損失要素が存在するか部品別に説明します。

### ● 導通抵抗損失

パワー MOSFET では、導通時にドレイン-ソース間抵抗が存在するため損失が発生します(パワー IGBT ではさらにドレイン-ソース間導通飽和電圧による損失も存在する)。導通抵抗は、大きな導通電流が流れる場合に大きな損失を起こす要因となります。

非導通状態においても、厳密には漏れ電流とドレイン-ソース間電圧による損失が発生しますが、十分に小さいため通常は無視できます。

### ● スwitchング損失

スイッチング損失は、MOSFET などのスイッチ素子がスイッチング動作を行うときに発生する損失です。ターン ON 損失とターン OFF 損失があります。スイッチング損失は、ドレイン-ソース間電圧とドレイン電流がスイッチング時に交差することにより生じますが、その詳細な発生メカニズムは複雑で評価するのが難しい損失です。

理想的なスイッチでは、図1(a)のようにスイッチの切り替えは瞬時に行われ、ON 状態ではドレイン-ソース間電圧  $V_{DS}$  が 0 になり、OFF 状態ではドレイン電流  $I_D$  が 0 となるため常に損失が発生しません。一方、実際のスイッチでは、理想スイッチのように瞬時に ON/OFF が切り替わらず、図1(b)のようにターン ON 期間、ターン OFF 期間が存在します。この期間は、 $V_{DS}$  と  $I_D$  のどちらも 0 でないため損失が発生します。これがスイッチング損失です。

### ● 寄生容量

スイッチング損失に重要な役割を果たすのが寄生容量です。パワー MOSFET の内部には図2に示すように、ゲート-ドレイン間容量  $C_{gd}$ 、ゲート-ソース間容量  $C_{gs}$ 、ドレイン-ソース間容量  $C_{ds}$  が存在しています。また、 $C_{gs} + C_{gd}$  を  $C_{iss}$ 、 $C_{ds} + C_{gd}$  を  $C_{oss}$ 、 $C_{gd}$  を  $C_{rss}$  といいます。

$C_{iss}$  はゲート抵抗  $R_g$  とともにゲート-ソース間電圧の時定数を決定し、ドレイン電流を介してスイッチング時間に関係します。また、 $C_{iss}$  の電荷はゲート抵抗電流となり、FET スwitch の駆動損失になります。

$C_{oss}$  の電圧はそのままドレイン-ソース間電圧となるので、スイッチング損失に直接影響します。その電荷は、一般にターン OFF 時に充電されターン ON 時に放電されますが、このとき FET 自身や周辺素子によって消費されることにより損失となります。

$C_{rss}$  は、ミラー効果を通してスイッチング時間(ターン ON 時間、ターン OFF 時間)を決定する大きな要因となります。ミラー効果とは、ドレイン-ソース間