

第6章

Dフリップフロップ 74374, インバータ 7404, バイナリ・カウンタ 74393, 8ビット・レジスタ 74273, ANDゲート 7421

[製作6] つくる! 分解能1 Hzの 正弦波デジタル・シンセサイザDDS

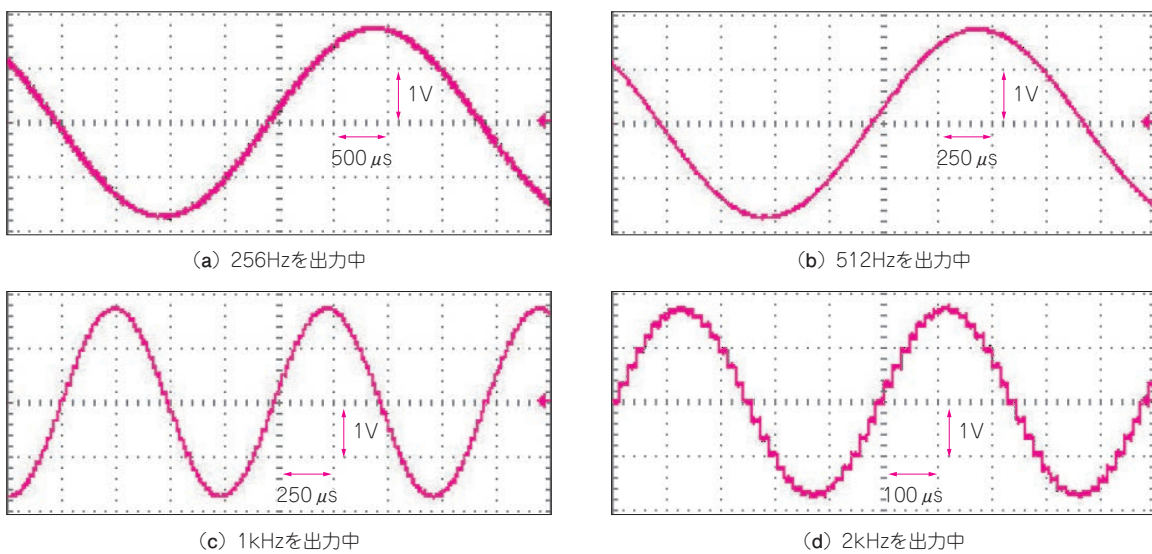


図1 MAX Vのロジック電子回路ブロック IC CPLDに内蔵されているフラッシュ・メモリを利用すると、正弦波デジタル・シンセサイザがシンプルに作れる
本器の出力波形。本章ではQuartus Prime Liteに装備されている高機能モジュールなどを使って正弦波デジタル・シンセサイザを作る方法を解説する

本章では、MAX Vのロジック電子回路ブロック IC CPLDに内蔵されているフラッシュ・メモリを利用して正弦波を生成してみます。表1に本器のスペック、図1に製作した正弦波デジタル・シンセサイザDDSの出力波形を示します。1 kHzまで、ひずみのない正弦波が出力されています。図2に示すのは、本器の全体構成です。

本器を製作するときは、開発環境 Quartus Prime Liteに実装されている MegaFunction という高機能モジュールも利用します。本モジュールの詳細なドキュメントはWebページ上にもありません(2019年8月現在)。ここではそのモジュールの基本的な使い方と解説します。本テクニックは、上位製品 MAX 10などで数MHzの正弦波を生成するときの基本にもなります。

製作に必要な回路図は pp.89 ~ 90を参照ください。本器のトレーニング・キット MAX5-TG2を有償で頒布中です。

表1 本器の目標スペック

項目	スペック	備考
周波数範囲	1 Hz ~ 2.0 kHz	1 Hz 単位で設定可能
分解能	512 : ~ 255 Hz	周波数精度は 50 ppm
	256 : ~ 511 Hz	
	128 : ~ 1023 Hz	
	64 : ~ 2047 Hz	
出力電圧	最大 4 V _{p-p} (交流)	可変抵抗で 0 V から可変
電源	5 V DC	AC アダプタで供給

回路検討

● MAX V内蔵フラッシュ・メモリのアクセス・タイムで最高周波数と分解能が決まる

本器を製作するときは、MAX V内蔵のフラッシュ・メモリを利用します。本メモリのスペックは次のとおりです。

- 最大容量：16ビット/ワード×512ワード(ビット長は設定可能)
- アクセス・タイム：約6 µs

【セミナー案内】[実習セミナー] 実習・CMOSイメージ・センサの性能評価、画像処理の基礎を体験
 — 性能の本質を理解し、画像データ処理の初歩を身につける
 【講師】 米本 和也 氏, 12/7(土) 27,000円(税込み), <https://seminar.cqpub.co.jp/>