

第3章

順序回路の機能イメージとその応用

三原 順一 Junichi Mihara

順序回路の登場

● ラッチ(フリップフロップ)の基本動作

第2章で述べた回路では、入力信号の状態が決まれば、出力はその組み合わせによって一意的に決まりました。このような回路を組み合わせ回路と呼んでいます。

これに対し、回路内に記憶素子を含み、求める出力が現在の入力と過去の入力に依存する回路を順序回路と呼んでいます。順序回路においてもっともよく用いられるのがラッチ(フリップフロップと呼ばれることも多い。本稿では以下、ラッチと呼ぶ)です。

ラッチは二つの安定状態をもつ素子です。例えば、図1(a)はSがいったんHになると、出力QはつねにHになる回路です。この回路ではQをLにすることはできませんから、一つの安定状態がHしかありません。

これに対して図1(b)では、フィードバック信号QをRによって制御しているため、二つの安定状態が存在します。すなわちRがLのとき、SがHになるとQはHになり、その状態が保持されます。そしてSがLのときRがHになると、出力QはLになり、その状態を保持します(図1(c))。

この回路はRSラッチと呼ばれ、一般に図2のように表現されます。図1(b)と図2(a)の回路が等価であ

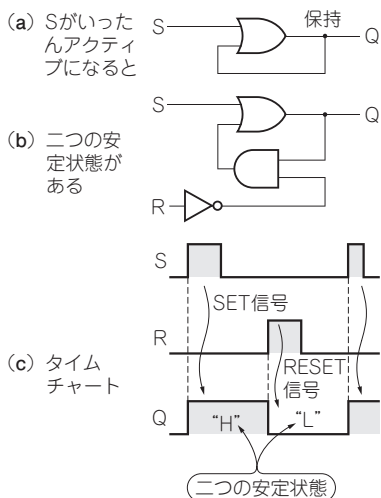


図1 ラッチの基本回路

ることは、図1(b)のORにインバータを追加し、ANDの入力側にもインバータを追加すれば明らかでしょう。

このようにRSラッチではRとSがLのときは出力状態は変化しません。また、RとSがHのときは、図2(a)ではQと \bar{Q} ともLになりますが、別の構成のRSラッチでは、そうならないものもあります。一般にRSラッチではRとSともにHのときの出力は不定です。

● 同期回路を加えたラッチ

デジタル回路ではよくクロックという言葉が使われます。この信号は一般には各種論理回路がこの信号によって、いっせいに(同じ時刻に)働くようにシステムを制御、監視するための信号です。

まず、RSラッチの前段にANDゲートを付加した図3(a)のような回路の動作を考えてみましょう。

ANDゲートの動作で述べたように、ANDゲートの一方の入力は制御信号と考えることができます。したがって図3(a)のCは制御信号で、CがHのときのみ、RSラッチは S_1 入力、 R_1 入力にしたがって動作します。

では、制御信号Cに幅の広いパルスを用いた場合と、幅の狭いパルスを用いた場合の違いを考えてみましょう。

CがHのときのみ R_1 と S_1 が有効ですから、Cの幅が広いとCがHのときに R_1 と S_1 がHになったり、 R_1 と S_1 がHのときにCがHになったりします。このため、出力 Q_0 が変化するタイミングを定めることはできません。

一方、Cのパルス幅が狭いと出力 Q_0 はCがHになったときに変化する可能性が多くなります。つまり、パルス幅の狭い信号Cを用いれば出力 Q_0 の変化のタイミングを、信号Cの入力タイミングに合わせる事ができるわけです(図3(b))。

このように動作のタイミングを制御信号によって設

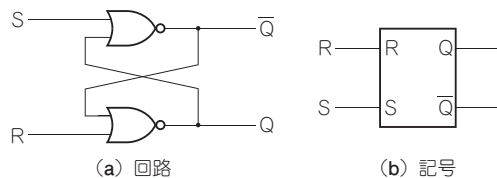


図2 RSラッチの表現