

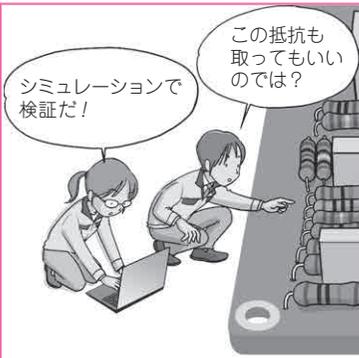
第3部 目指せ高性能! プリント基板のノイズ・熱・高密度設計

第1章

無駄な部品やパターンを減らす
理屈と考え方

デジタル回路基板の 面積最小化テクニック集

柿本 哲也 Tetsuya Kakimoto



● **基板を小さくするにはわずかな改善を積み重ねる**
 基板の多層化や部品サイズの小型化など、コストをかければ基板面積を小さくできます。やるべきところにはコストをかけなければなりません。しかし、「何も考えたくないからお金を払う」で済ませるのはよくありません。

コストをかけずに基板を小さくしたいなら、細かいことを積み重ねていくだけです。でも、ネチネチやって半分くらいの面積にできたことがあります。自分でも驚きました。1つ1つは意味があるのか?と思うような馬鹿らしいレベルのことで、あれもこれも丁寧にやっていけば、トータルとして結構な改善になることがあります。塵も積もれば山となる、です。

本稿で説明する内容は、これくらいは別にいいか、と思ってやらない人も多いかもしれません。でも、それを考えて実行することが、ハードウェア設計者の存在意義のハズです。精神論的にもなりますが、仕事をするものとして、常にどこかでは意識するべきだと思います(神は細部に宿る, 悪魔は細部に宿る)。

本章の内容…基板の面積を減らす 小技をいろいろ紹介

● **前提**

ここでは基板を面積的に小さく設計するというポイ

表1 基板面積を小さくする手法

手法	効果	実現性
①基板層数	最大	仕様やコストに大きく影響する
②CR部品の選定	中程度	中程度
③小さいICパッケージ選定	小さい	小さい
④適切なI/Oドライブ能力の選定	小さい	I/Oのドライブ能力が選択可能かどうかはデバイス(LSI)の仕様による。追加コストはゼロ
⑤クロストーク設計	大きくはない	追加コストはゼロ
⑥等長配線設計	配線数に比例	追加コストはゼロ
⑦ダンピング抵抗設計	配線数に比例	多少考えることはあるが、コストと面積は減る

ントで話をしていきます。

前提として、基板の面積を1/2や1/3にするような大技はありません。1%でも2%でも(面積が)減ればいい、というようなレベルのことを考えていきます。

面積を減らすと大抵の場合は電気的性能、物理的性能が上がる方向です。なので、性能と信頼性を上げる、その結果として面積も減る、という理解で見ると良いと思います。

基板をできるだけ小さくする、というときに考えられることを私なりにまとめると表1のようになります。このうち⑤~⑦については後で詳しく解説します。

● **①基板層数を増やすと基板を小さくできる**

基板の層数(図1)は基板面積に大きく影響します。

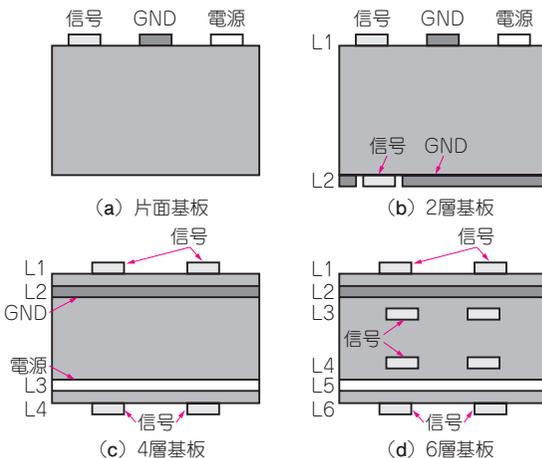


図1 基板の層構成

層数が多いほど3次的に自由度が高いため、楽に短く配線(結線)できる。放射ノイズに対して、片面基板は下面にGND面が無く圧倒的に不利、配線のすぐ下にGND面(または電源面)を持つ4層以上は圧倒的に有利。2層基板は配線の使われ方など条件・状況次第だが片面基板に比べればずっと有利。片面基板や2層基板では、信号線は常に横のGNDの位置と大きさを意識して配線しなければならない。4層基板以上ではすぐ下に大きなGND面(リターン面)があるので、GNDがどこにあるかをあまり気にしなくても良い。大抵の場合は配線幅を決めれば、あとはただ配線すれば良い。とにかく、層数が少ないほど物理形状や電気性能に設計の自由度が低く、考えることが多くて技量も時間も必要