

最新アナログICの要! CMOS トランジスタ技術入門

1 電源ICに見るCMOSアナログICの最新技術

デジタル回路の微細化とともに改善される
オン抵抗/雑音性能/差動ペア特性/高周波特性…

前川 貴/福井 厚夫 Takashi Maegawa/Atsuo Fukui

CMOS ICは、デジタル回路の高機能化のために、より微細な素子が作れるように進歩し続けています。加えて、デジタル・アナログ混在回路の需要も増えています。それらの必要性に合わせて技術開発がされた結果、CMOSで作られたアナログICも性能が改善されています。

微細化の結果として、意外なことにOPアンプやレギュレータなど、アナログ回路への応用で性能のネックになっていた弱点が改善しています。

スイッチング・レギュレータを例にとると、高効率や高出力電流のICが作れるようになりました。

- 微細化により同じ面積のMOSFETでオン抵抗が小さくなった
- 低耐圧向けの半導体チップ上に数十V耐圧のMOSFETを作れる方法が開発された

その他にも、微細化により特性が改善しています。

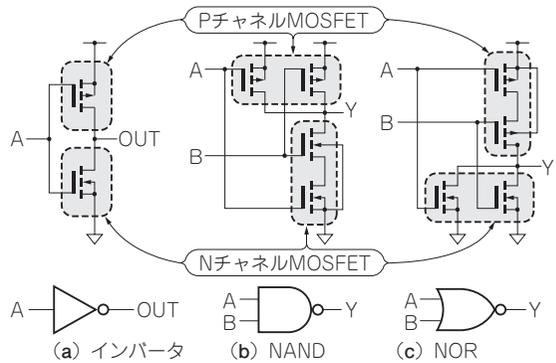
- MOSFETの1/f雑音が小さくなった
- MOSFETを差動増幅回路に使ったときのトランジスタのペア性が改善した
- IC内配線の引き回しが多層配線で改善した

電源ICを例に、CMOSプロセスがどのように進歩してきて、アナログ特性がどのように改善しているかを解説します。
〈編集部〉

CMOSの進化の基本は 微細化と多層配線

「CMOSプロセス」と聞くと「省電力」をイメージする人が多いでしょう。確かにCMOS回路は省電力ですがそれだけではありません。現在は微細技術や多層配線技術、高耐圧化などが進み、近年の半導体回路に不可欠な技術となっています。

- CMOS回路は直流電流がほぼ流れないので低消費電力電流駆動であるバイポーラ・トランジスタの回路と



(a) インバータ (b) NAND (c) NOR
PチャンネルとNチャンネルのどちらかはOFF、ゲート電流もゼロなので消費電流はほぼゼロになる

図1 CMOSロジック回路の例
相補関係(コンプリメンタリ)にあるPチャンネルMOSFETとNチャンネルMOSFETの両方を組み合わせて作るのでコンプリメンタリMOS(CMOS)と呼ばれる

比較して、電圧駆動のMOSFETの回路は、消費電流を少なく抑えることができます。

CMOSロジック回路は、図1のように、電源側の電源側のPチャンネルMOSFETとGND側のNチャンネルMOSFETを組み合わせた回路です。論理に応じてPチャンネルとNチャンネルのどちらかがONし、もう一方はOFFします。MOSFETはゲート電流が流れないので、静止時消費電流は、OFF時の漏れ電流程度と極めてわずかな値にできます。

このCMOSロジック回路を使うことで、複雑な電子回路でも劇的に消費電流を抑えることができました。

- 低消費電力を生かすと高集積化の道へ

CMOSプロセスは低消費電力なので、なるべく多くの回路をまとめたほうが有利です。単位面積当たりの回路集積度をアップするために、微細加工と多層配線技術が日進月歩で進められました。

2016年現在、最先端では10nm(nmは 10^{-9} m)プロセスが研究されています。1970年ごろの10 μ m(μ m