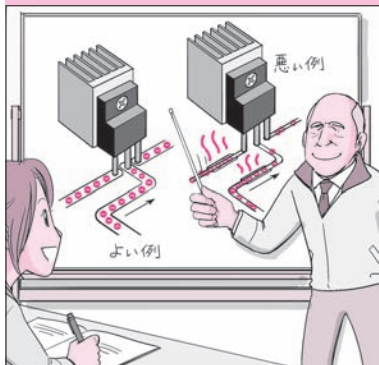


プリント基板開発 セミプロ1日コース

第5章 100 MHz超のFPGA エフェクタ基板を例に 要点10

プリント基板の作り方 高速デジタル回路編

長谷川 将俊/加藤 史也/志田 晟/高橋 成正
Masatoshi Hasegawa/Fumiya Katoh/Akira Shida/Narimasa Takahashi



第3章のデジタル回路基板のクロック周波数は数十MHzでした。本章では、動作クロック周波数が100 MHzを超える超高速デジタル基板を作るときの要点を紹介します。例題基板は、高速信号処理が得意なFPGAを搭載した楽器用エフェクタ(写真1)です。

100 MHzを超えるデジタル信号は、アナログ信号と同じくとても繊細で、プリント・パターン長さや幅、基板の厚みなどが、その波形に大きく影響します。 〈編集部〉

要点① 等長配線を行う

写真1の基板に搭載されているFPGAは、メモリIC (SDRAM)と、DATAやAddressという信号ラインを使ってデジタル信号をやりとりします。この基板の場合、DATAの信号ラインの数は16本、Addressは15本です。

この基板のように、高速なデジタル信号を通すプリント・パターンを描くときは、信号源(FPGA)から出力された信号が相手(SDRAM)に到達するまでに要する時間(伝搬遅延時間)を考える必要があります。

31本の信号が伝搬する時間は、FPGAとSDRAM内の配線長とプリント・パターン長によって、各々異なります。高速デジタル信号は1周期が短いので、わずかな配線長の差がデータの読み取りエラーの原因になります。

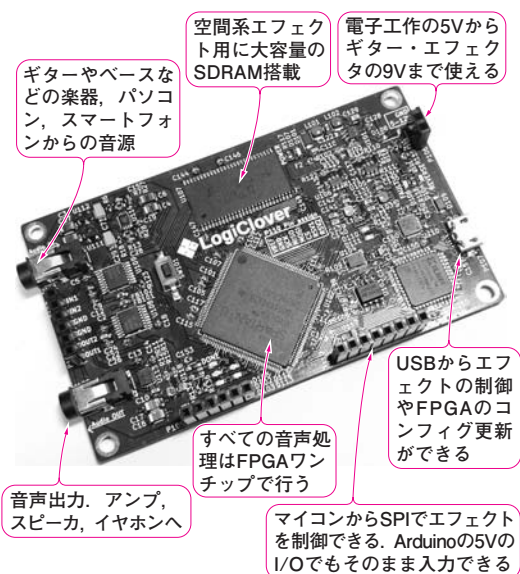
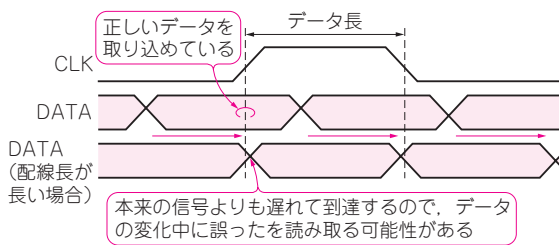
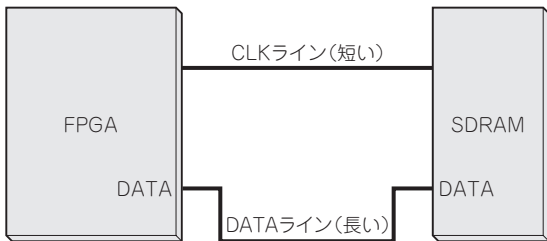


写真1 高速信号処理が得意なFPGAを搭載した楽器用エフェクタ
FPGAやSDRAM、A-D/D-Aコンバータが搭載された基板でディストーション、ディレイ、リバブなど複数のエフェクトを同時にかげられる。外形は91×55 mm

図1に示すように、SDRAMはCLK信号の立ち上がりのタイミングに合わせて、DATA信号のレベルを読み込みます。このとき、DATA信号のプリント・パターンがCLK信号のプリント・パターンより長い



(a) 信号が到達するまでの時間、伝搬遅延が大きくなる

(b) CLKとデータの波形

図1 デジタル信号の速度が上がってくると、プリント・パターンの長さの違いが通信エラーの原因になってくる
伝搬遅延に対する影響度は信号の周波数やプリント・パターンによって異なる

【セミナー案内】 実習・Raspberry Pi3ではじめるIoT超入門 [ネット&組み込み開発シリーズ2, 教材基板付き] —— Webアプリ、外部デバイス制御からAndroid連携まで
【講師】 山際 伸一氏, 9/17(日) 32,000円(税込み) <http://seminar.cqpub.co.jp/>