

本誌のご購入はこちら



第4章

高速応答/高安定/低スプリアス…3拍子そろった負帰還回路もアツという間に

一発高性能！

LTspiceで挑む！ 周波数シンセサイザの スピード仕上げ術

加東 宗 Takashi Kato

イントロダクション

1

2

3

4

5

6

7

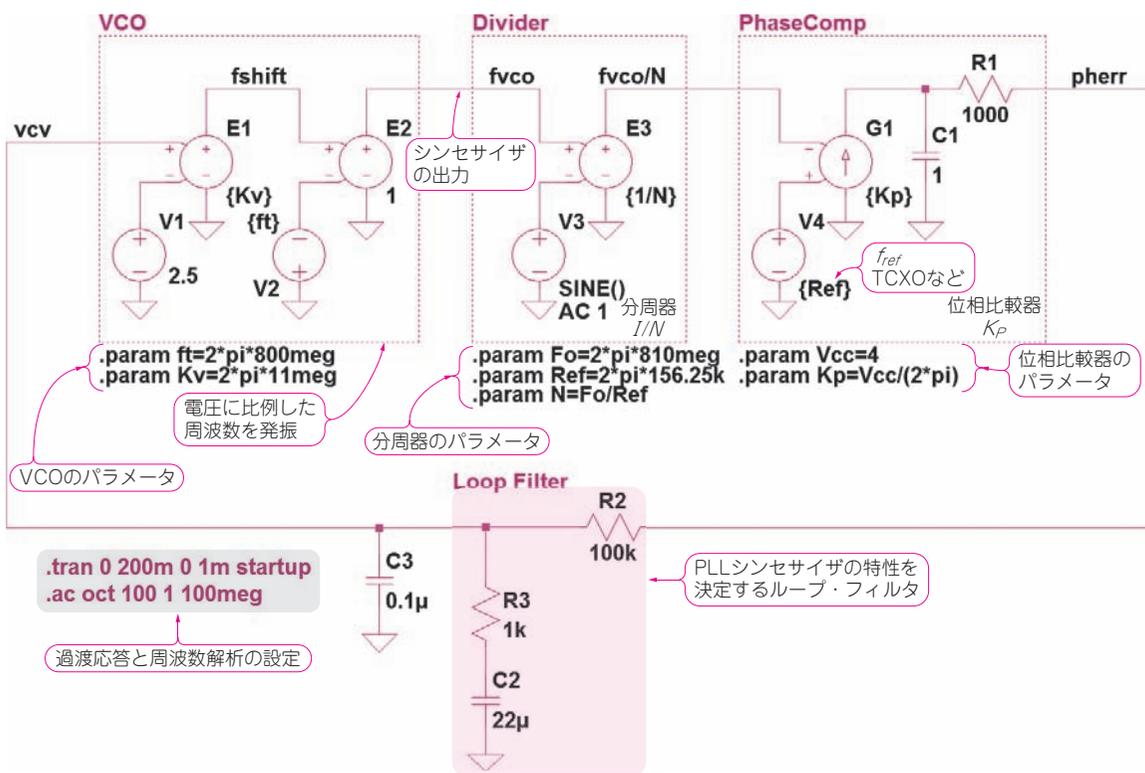


図1 PLL周波数シンセサイザのひな形モデル(PLL_V.asc)

PLL周波数シンセサイザはVCO、分周器、位相比較器、ループフィルタの4つのブロックから構成される。本ひな形モデルを利用すると、LTspiceで周波数特性や波形を確認しながらループ・フィルタの最適定数やPLLシンセサイザの設定値をチューニングできる

本稿では、LTspiceで利用してPLLループ・フィルタの最適定数や周波数シンセサイザICの設定値を正確に予測する方法を解説します。

ループ特性を評価するときは数百万円もするネットワーク・アナライザを利用することもあります。測定器が高価だけでなく、周辺環境のノイズの影響を受けたり、インピーダンスを考慮して追加の回路を作ったりと測定も一筋縄ではいきません。

LTspiceがあれば、無料で周波数特性や過渡応答特性を確認しながら最適設計ができます。実機の確認はオシロスコープさえあればOKです。〈編集部〉

PLLシンセサイザICを実際の回路で記述するとAC信号源で正弦波を発生させます。それをカウンタ回路で分周、位相比較器をロジック回路で組んで解析すると計算時間が膨大となり、うまく収束しないことがあります。

本稿では、LTspiceなどの電子回路シミュレータに標準装備されている電圧制御電圧源と電圧制御電流源を利用してPLLシンセサイザICの回路のふるまい(ビヘイビアという)をモデル化します。これにより圧倒的に高速で論理的な見通しのよい回路解析ができるようになります。

【セミナー案内】 実習・電源回路入門 [電源回路実務設計シリーズ1] —— 電源の測定方法とトランス/コイルの設計、非絶縁型降下/昇圧コンバータの設計 【講師】 鶴谷 守 氏、4/18(火)～4/19(水) 37,000円(税込み) <http://seminar.cqpub.co.jp/>