

## 第3章 回路図入力からHDL, C言語高位合成まで

# FPGA向け回路情報の入力方法いろいろ

横溝 憲治 Kenji Yokomizo

前章では、FPGA開発の全体の流れを具体例を示しながら解説しましたが、回路情報の入力方法については詳しく説明しませんでした。ここでは、その回路情報の入力方法のいろいろを紹介します。

昔は回路図を使うことが一般的でしたが、現在はHDL(Hardware Discription Language)が主流になり、IP(Intellectual Property)を活用したブロック図や高位合成も用いられています。

### カウンタ回路を設計する

#### ● 設計対象はクロック同期回路

FPGAで設計対象にする回路は、図1のような組み合わせ回路と、Dフリップフロップ(DFF)の出力を入力にフィードバックした順序回路によって構成されるクロック同期回路です。組み合わせ回路のみでFPGAを使う場合もありますが、規模の大きい回路では必ずといっていいほどDFFは使われるので、FPGAではクロック同期回路設計が前提と考えてください。

#### ● 設計するカウンタの仕様

回路設計を始めるまえに、ツールを使わずに作成する回路の仕様を検討します。回路の機能概要と入出力インターフェースを決めます。このときに、FPGAベンダが用意したIPが利用可能であるかも検討します。回路規模が大きい場合は、ブロック分割して各ブロッ

クに対して同様に作業します。おおよその回路規模と入出力端子数を考慮して、使用するFPGAを決めます。

図2に、今回題材とした8ビット・カウンタの機能を示します。表1は入出力端子表です。入力ENTと出力COを省略していますが、これはロジックICである74161を2個使った回路と同等の動作になっています。

### 古典的な回路情報入力方法 …回路図入力

#### ● 回路図入力(昔の手法)

回路図では、部品間の接続を図で表現します。図3はQuartusに用意されている、74シリーズのファンクション・ブロックを使って作成したカウンタの回路図

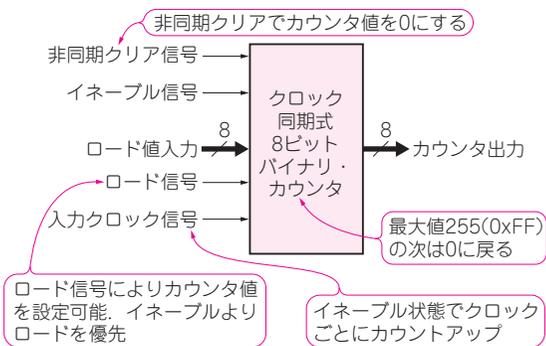


図2 8ビット・カウンタの機能

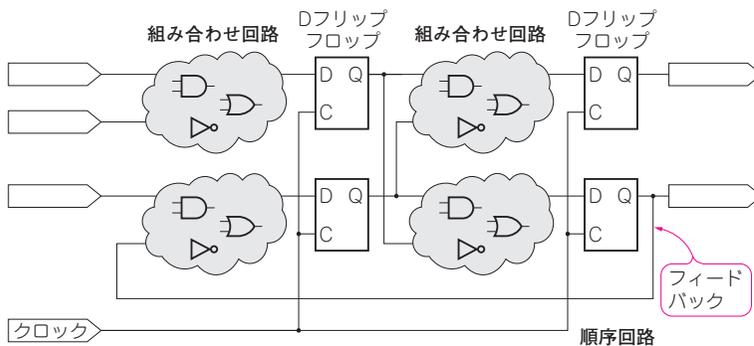


図1 クロック同期回路