

連載



Verilog HDLによるロジック回路設計&実機デバッグの実際

FPGA 内部信号が丸見え！ モニタ表示回路の製作

第9回 実験ターゲット…案外くふうがいる
FPGAによるチャタリング除去回路

木村 真也 Shinya Kimura

本連載で解説しているFPGA内部信号VGA表示用IPコアの応用例として、次の4つを取り上げます。

- スwitchのチャタリング現象と除去効果の確認
- 7セグメントLEDの点灯制御の確認
- FPGA内メモリの記憶情報の表示
- 4ビットCPUの内部表示(誌面の都合で構成概要と動作のようすのみになる予定)

まずはチャタリング現象の観測と、除去回路の動作確認をします。とは言うものの、ms単位の動作であるため、モニタに信号を表示しても目視ではチャタリング現象を確認できないので、何らかの工夫(間接的な観測)が必要です。

今回はチャタリング除去回路を紹介し、次回以降で観測方法を紹介します。

スイッチのチャタリング現象は FPGAでの対策したけど…

チャタリング(バウシングともいう)は、機械式のスイッチを操作した際に、スイッチ内の金属接点がかうんどうして付いたり離れたりする現象です。スイッチの構造によって1m~数十ms間にわたり続きます。

● 実際のチャタリング波形

写真1に実験回路を示します。マニュアル・クロック用スイッチのチャタリング発生期間をオシロスコープで観測したところ、接点の接触時で700μ~800μs程度、まれに1000μs(1ms)を超えるケースもありました。チャタリングの回数は3~4回程度を多数観測し

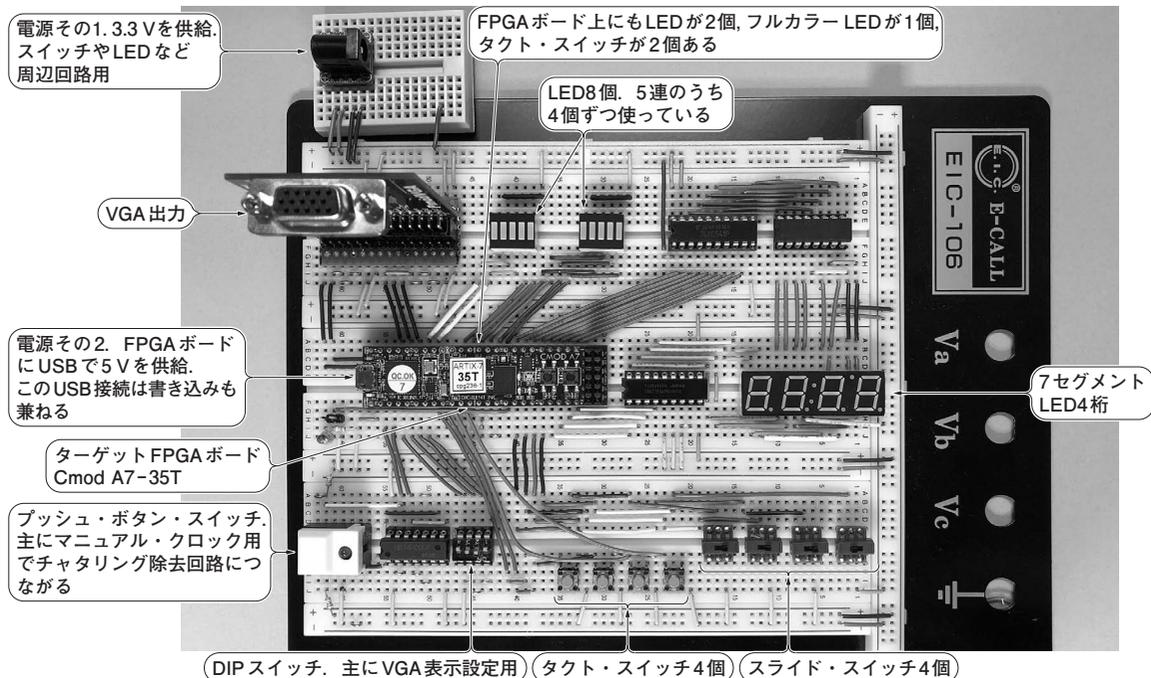


写真1 「FPGA内部信号VGA表示IP」の動作実験回路…小型FPGAボードにVGA出力やスイッチや表示器を用意する

- 第1回 製作するFPGA内部信号まる見え回路IPの特徴(2025年7月号)
- 第2回 VGAモニタへのFPGA内部信号の表示の詳細(2025年8月号)
- 第3回 FPGA内部信号丸見えIPの具体的な回路構成(2025年9月号)