

連載



Verilog HDLによるロジック回路設計&実機デバッグの実際

FPGA 内部信号が丸見え！ モニタ表示回路の製作

第2回 VGA モニタへのFPGA 内部信号の表示の詳細

木村 真也 Shinya Kimura

FPGA の内部信号を VGA ディスプレイ (640 × 480) に表示できる回路 (FPGA 内部信号 VGA 表示 IP) がどのようなものかを解説します。

図1にFPGA内部信号VGA表示IPの基本構成を示します。出力はVGA信号ですが、変換アダプタを使えばHDMI入力やDisplayPort入力のモニタでも使えます。

FPGA 内の観測対象回路からの 信号の取り出し

● 観測対象の回路モジュールとのインターフェース
今回製作するFPGA内部信号VGA表示IPコアを使うには、観測対象の回路モジュール (Module Under Test, 以降、MUTとも称す) 側の回路にインターフェース回路を追加する必要があります。

具体的には、どの観測信号かを指定する8ビットの信号番号 (Resource Address) RESAD [7:0] を受け取り、指定された観測対象信号 (Resource Data) RESDT

を出力する回路です。

MUT側に追加するインターフェース回路の詳細は、この連載の中で応用例を紹介するときに解説します。3ステート・バッファを使用して構成するか、マルチプレクサを使用することで、簡単に実装可能です。

観測対象信号RESDTのビット長は、FPGA内部信号VGA表示IPコアの基本ビット長(8/16/32)になります。

● 表示信号数は8/16/32ビットから選ぶ

観測対象の回路モジュールからFPGA内部信号VGA表示IPコアへ取り出す信号のビット幅は8/16/32ビットから選べるようにしました。この信号のビット幅(基本ビット長)は、FPGA内部信号VGA表示IPを使う設計者が最初に決定します。

FPGAに組み込むIPコアとしては、この基本ビット長を基準に回路を構成することで、設計を単純化しました。つまり、基本ビット長は混在できません。

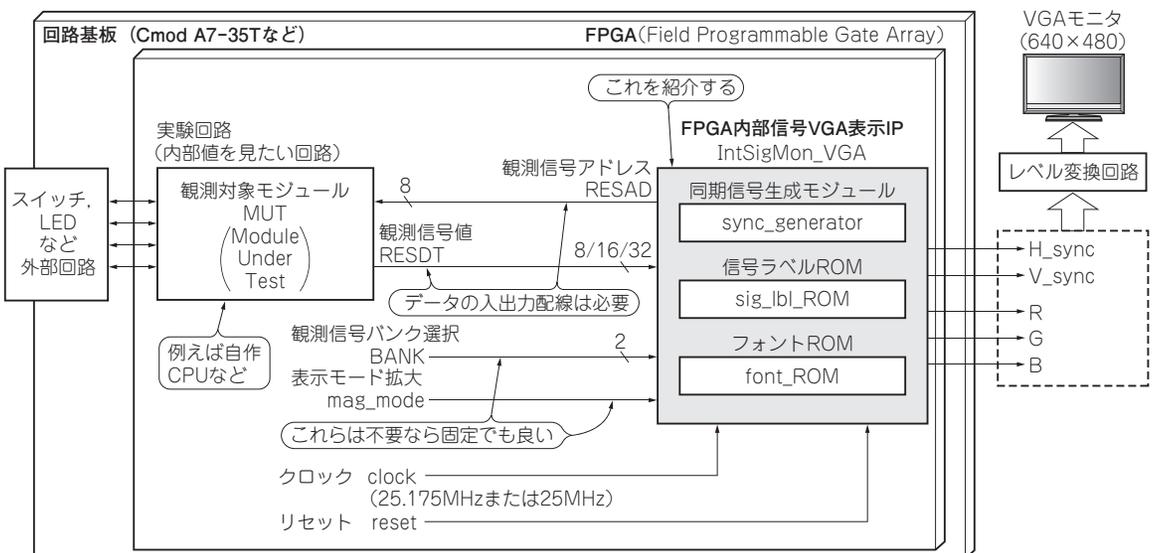


図1 FPGAの内部信号をVGAモニタに表示するIPコア (ISMVGA) の構成