

訂正とおわび

本誌のバック・ナンバーにおいて、下記の個所に誤りがありました。おわびして訂正いたします。 <http://toragi.cqpub.co.jp/tabid/794/Default.aspx> (編集部)

■ 2018年8月号

● 特集 第3章

- p.81 図1(c) : Q_{3C}の型番
2SAR512P→2SCR512P
p.82 左↑2行目 : Q_{D2}→Q_{2D}
p.85 図1(a) : Q₁の型番
BC858B→BC848B
p.86 図4(a) : Q₁の型番
BC858B→BC848B, Q₂の型番
BC8588→BC858B
p.89 左↓3行目 : 負期待→不感帯

■ 2018年10月号

● 編集部セレクション! ヘッドホンアンプ回路集

- p.119 上段右↓1行目, p.119 下段左↓8行目〈加藤大〉→〈小川敦〉
● パルス・ジェネレータ〈2〉
p.189 右↑1行目 思考錯誤→試行錯誤

■ 2018年11月号

● 特集 コラム

- p.46 左↓8行目 :
Discription→Description
● 特集 第1部 第2章
p.59 左↓10行目 : FPGA内→コンピュータ上(シミュレータ上)
p.59 左↓11行目 : 図2→図B
P.59 左↑2行目 : 製造データを作る→回路レベルのシミュレーションを行う
p.59 図B キャプション : FPGA内にテスト環境→コンピュータ上にテスト環境
p.59 図B サブキャプション : FPGAは

チップ内に測定環境を構築して開発する
→シミュレーションではコンピュータ上に測定環境を構築する

● 特集 第1部 第4章

p.96 表2 : 表の末尾に下記を追加

VIN(3.3~5V)	1	JC6, JC12, JD6, JD12	-
GND	2	JC5, JC11, JD5, JD11	-

p.98 図A : スイッチング・マトリクス→I/Oブロック, I/Oブロック→スイッチ・マトリクス
p.99 図C : B = 1→B = 0

● 特集 第2部 第3章

p.114 図2, p.115 図4 : 7セグメントLED
に下記のようにgの記号を追加

