



第5章 なぜFPGAは自由にロジック回路を構成できるのか

FPGAの肝… ルックアップ・テーブルの からくり

外村 元伸 Motonobu Tonomura

現在FPGAは、ザイリンクス(Xilinx)社とインテル(Intel;旧Altera)社の2社によって市場の大半が占められています。各社には、何種類ものFPGAシリーズがあり、それらシリーズによっても方式が異なります。そのため、FPGAのロジック回路の書き換え、つまりプログラミングできる仕組みを俯瞰して説明するのは容易ではありません。

そこで本章では、次の方針に従って解説していきます。FPGAのロジック回路の書き換え可能性を仮想化(モデル化)して、各社のどのシリーズを扱ってもおおよその仕組みを理解できるようにします。ただし、ロジック回路の方式としては、CPLD(Complex Programmable Logic Device)と呼ばれるANDアレイとORアレイで構成される積和論理方式がありますが、最近のFPGAはLook-Up Table(LUT)方式に収束してきたことを踏まえてLUT方式に限定します。

本章のねらい

● FPGAはLUT方式

LUT方式は、基本的には n 入力1出力の論理関数(0, 1のブール関数)を真理値表の形で表現/実装できるロジック回路で構成されています。ちなみに、AND-ORアレイの積和論理方式は、 n 入力 m 出力ですから、論理表現式も物理的な実装方法もFPGAとは異なります。

ザイリンクス社は、4入力LUTのシリーズ(Vertex 4以前)を経て、現在のシリーズは6入力LUT(Vertex 5以降)になっています。インテル社は、現在でも4入力LUT(MAX 10, Cyclone 10 LP)と8入力内で複数入力のLUTが組み合わせられるシリーズ(Stratix 10, Cyclone 10 GXなど)があります。

● LUTとシャノン展開

任意の論理関数を真理値表の形で表現して実装するのがLUTですが、その論理式表現をシャノン展開と呼ばれる方法で展開すると、その展開式が真理値表に

対応しており、さらに、その式展開される順序構造がセクタ論理になっているために、その論理関数がセクタ回路で直接デコードできるという非常に都合のよい関係になっています。本章では、まずこのことを詳しく解説していきます。

FPGAの資料や文献には大抵、セクタのかわりにマルチプレクサという用語が使われていますが、マルチプレクサは通信関係でもともと使われてきたアナログ用語であり、本来は多重化して1本の信号線に載せるという意味です。それが今日では、2つ以上の n 入力から1出力を選び出す機能をもつデジタル回路としても使われています。一方で、LSI回路の分野では、2入力信号のうち、一方の信号のみを通すバス・トランジスタまたはトランスミッション・ゲートが実装され、出力信号を選択できるスイッチング回路、つまりセクタ回路があります。

これが論理表現の世界では、シャノン展開式に現れてくるセクタ論理と結びつきます。このことを強調するために、2入力の場合はセクタ回路と呼び、セクタ回路を組み合わせると3入力以上を実現した場合を多重化したという意味でマルチプレクサと呼ぶことにします。実際、FPGAで使われるマルチプレクサは、セクタ回路を何段にも積み重ねて実装されています。

● 解説の流れ

本章では次のような流れで解説を進めます。

表1 3入力のカウンタの真理値表(carry, sum)

| x_1 | x_2 | x_3 | carry | sum |
|-------|-------|-------|-------|-----|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |