



第2章

開発ツールの画面を見ながら
評価ボードを使った開発手順を学ぶ

実際のFPGA開発の流れを 体感する

横溝 憲治 Kenji Yokomizo

FPGAの開発は、マイコンのプログラム開発とは少し違った面があります。例えばARMマイコンのプログラムを開発するとき、実際に使うマイコンがどこのベンダ製であれ、共通のARM対応Cコンパイラを使うことができます。しかしFPGAの世界では、ベンダごとに開発環境が用意されています。でも安心してください、どのツールも基本的な開発の流れは同じです。

今回は簡単なカウンタ回路を例題にして、FPGA業界の2大ベンダである、インテル(旧Altera)とザイリンクス(AMDに買収が発表された)の両社の開発ツールを使って、具体的な作業手順を解説します。

実際のFPGA開発手順

● 開発フローの概要

FPGA開発の大まかなフローは次のようになります。

(1) 仕様作成

入出力信号や動作の確定

(2) 回路設計

RTL/回路図入力など、いくつかの方法がある
(Cプログラムではソース・コード入力に相当)

(3) シミュレーション

設計した回路が正しく動作するか机上で動作確認

(4) 論理合成

入力した回路情報をネットリストに変換
(Cプログラムではコンパイル動作に相当)

(5) 配置配線

ネットリストに従いFPGA内に回路を配置する
(Cプログラムではリンクに相当)

(6) 実機検証

実機デバッグ、動作確認

RTL(Register Transfer Level)とは、具体的にはVerilog-HDL や VHDL などの HDL(Hardware Discription Language)で記述された、論理合成可能な回路記述ソースです。シミュレーションでもHDLを使うので、論理合成を想定したHDLソースはRTLとも呼びます(シミュレーション用に記述されたHDL

は一般的に論理合成できない)。また、ネットリストとは、RTLをゲート・レベルに変換したものです。Cプログラム開発がコンパイル→リンクの2段階を踏むように、FPGA開発はRTLを論理合成→配置配線という2段階でFPGAに実装します。

ここまでは、FPGA入門特集の冒頭によくある説明です。今回はもう1歩、より具体的な事例を示して解説します。

● 今回使用したFPGA評価ボード

FPGAを手軽に試してみるのであれば、まずは市販のFPGA評価ボードがお勧めです。電源回路やスイッチ/LED、ダウンロード・ケーブル機能が準備されているので、他に手配する機材も必要なく、設計した回路を簡単に実機検証できます。今回はザイリンクス社のAritx-7を搭載したBASYS3(Digilent社)と、インテル社のMAX10を搭載したDE10-Lite(Terasic社)を使用します(写真1)。

● より詳細な開発フロー

図1(38ページ)はより具体的なFPGAの開発フローです。Vivado(ザイリンクス社の設計ツール)とQuartusPrime(インテル社の設計ツール、以降Quartus)の各機能との関連も示してあります。ここではツールの使い方については説明しません。FPGA開発の実際の流れがどのようなものか、感じていただければと思います。

プロジェクトの作成から シミュレーションまで

● 開発フロー順に機能が表示される

FPGA開発では、ツールからさまざまな機能呼び出して使います。機能呼び出しは開発フローの順序で表示されています。図2に各機能の呼び出し画面を示します。多少の違いはありますが「論理合成→配置配線→FPGA書き込み」という順序になっています。

設計データはタイム・スタンプで管理されていて、