

抵抗性/容量性/誘導性…3つの基本要素をイメージする力を身につけ高速・高性能回路を攻略

# Gbps超ハイスピード・プリント基板設計教科書

第3回 多重反射のしくみと対策

石井 聡 Satoru Ishii

ざっくり見積もりでOK

最近では高速信号を伝送するプリント基板が増えています。それらの信号伝送では「信号を波」として取り扱う必要があります。しかし適切なプリント基板・回路設計を行わないと、本稿で説明する多重反射の問題が発生し、それにより信号伝送品質である「シグナル・インテグリティ」が低下します。シグナル・インテグリティが低下すると、伝送のビット・エラーや電磁干渉(EMI: Electromagnetic interference)の問題が発生します。多重反射の問題には、送端終端という技術を利用して対処します。

## 多重反射のメカニズム

●  $R_S \neq Z_0$ だと送端でも反射が発生する(ステップ信号源でデジタル信号のイメージで考える)

ここでは  $R_S \neq Z_0$ ,  $Z_0 \neq R_L$  の条件で、ステップ信号に戻り、高速シリアル伝送などのデジタル信号伝送のケースとして、あらためて考えてみましょう。

図1に示すのは、CMOSデジタル信号伝送を想定したLTspiceでのシミュレーション回路です。シミュレーション回路の条件は、次のとおりです。

- CMOSデジタル信号伝送を想定している
- 特性インピーダンス  $Z_0 = 50 \Omega$  のMSL(マイクロストリップ・ライン)
- 送端に信号源抵抗  $R_S = 10 \Omega$  (CMOSドライバICを想定)
- 受端に負荷抵抗  $R_L = 100 \text{ k}\Omega$  (CMOSレシーバICを想定)
- 送端からステップ信号  $V_S = 5 \text{ V}$  を加える
- ステップ信号の立ち上がり時間  $t_r = 0.5 \text{ ns}$
- 送端から受端までの伝搬時間が  $1 \text{ ns}$  (位相速度  $v_p = 1.5 \times 10^8 \text{ m/s}$  とすれば、全長  $15 \text{ cm}$  に相当)

$R_S = 10 \Omega$  であり、送端もミスマッチ状態です。この送端にステップ信号を加えると、どのような波形が観測されるか確認してみます。

▶ 反射波の発生を確認してみる

図2に示すのは、図1の回路をシミュレーションし

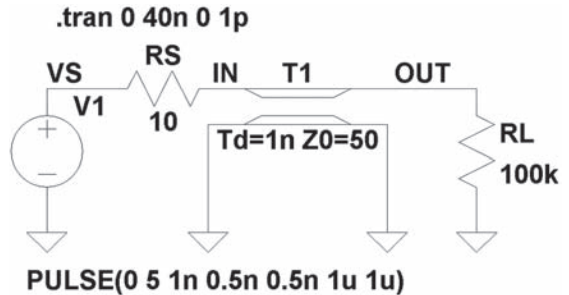


図1 特性インピーダンス  $Z_0 = 50 \Omega$  で伝搬時間が  $1 \text{ ns}$  のMSLに送端信号源抵抗  $R_S = 10 \Omega$  と受端負荷抵抗  $R_L = 100 \text{ k}\Omega$  を接続したシミュレーション回路

た結果です。MSLには寄生抵抗がないものとしています。

- 図(a)は送端のステップ信号源  $V_S$  であり、送端でステップ信号が変化する(矢示した状態①)
- 伝搬時間である  $1 \text{ ns}$  後に、図(b)のように受端に信号が現れる(矢示した状態②)
- 受端では  $Z_0 \neq R_L$  (ミスマッチ)なので、受端の反射係数  $\Gamma_L \neq 0$  となる
- 反射係数  $\Gamma_L$  は次式で計算できる

$$\Gamma_L = \frac{R_L - Z_0}{R_L + Z_0} \dots \dots \dots (1)$$

- 送端に戻る「反射波」が発生する
  - 図(c)のように、受端で反射したステップ信号が、 $1 \text{ ns}$  経過後に送端で観測される(矢示した状態③)
- ここまでは本連載 第2回の図11と同じです。

▶ 送端でもミスマッチだと再反射が発生する、それが繰り返されることで多重反射になる  
前述したとおり、この場合は送端も  $R_S \neq Z_0$  でミスマッチ状態です。

- 受端から戻ってきたステップ信号が、送端の信号源抵抗  $R_S$  ( $R_S \neq Z_0$ ) に加わる(同じく状態③)
- 送端でも  $R_S \neq Z_0$  (ミスマッチ)なので、送端の反射係数  $\Gamma_S \neq 0$  となる
- 送端でも「再反射」が生じる
- この再反射の率は送端での反射係数  $\Gamma_S$  であり、