

ミキサ/フィルタ/周波数コンバータ…
RF信号処理ロジックの作り方がわかる

ダイレクト・サンプリング FM SDRの製作

第18回 フルディジタルPLLのFPGA実装⑤
(最終回) サブキャリア再生用PLLの最適化とFPGA実装

林 輝彦 Teruhiko Hayashi

本連載では、高速A-D/D-AコンバータとFPGAを搭載したダイレクト・サンプリングFMレシーバ(型名FMDDC-3, 写真1)を作りながら、高性能なフルディジタル受信機 SDR(Software Defined Radio)を実現するハードウェア信号処理回路とはどのようなものなのかを考察、研究しています。

第14回～今回の全5回を通じて、PLLによるFMステレオ信号を復調するロジック回路「FM復調器」と「ステレオ復調回路(左チャンネルと右チャンネルの分離)」の最適解を探求しています(図1)。第17回(本誌2020年7月号)では、ステレオ復調に利用するサブキャリア(38kHz)生成用のフルディジタルPLLの回路構成を検討しました。最終回の今回は、定番のアナログ回路シミュレータLTspiceを利用して、このフルディジタルPLLの制御特性をチューニングします。さらに、Cyclone 10 FPGAに実装してその特性を見てみます。

高いチャンネル・セパレーションを安定して得るために必要な次の2つの性能を重点的に評価します。

- (1) 生成したサブキャリア信号がパイロット信号にどのくらい正確にロックしているか
- (2) レシーバの使用感を左右する応答時間



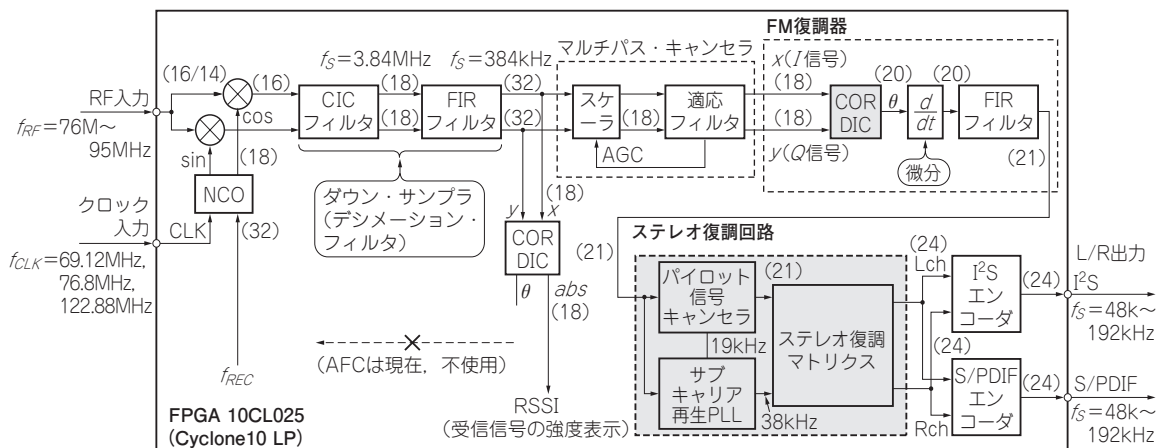
写真1 理想のフルディジタル・レシーバを探求中

FMDDC-3のステレオ復調回路

● 全体像

図2に示すのは、FMDDC-3のFMステレオ復調回路です。

コンポジット信号をLPF($f_c = 15\text{ k} \sim 18\text{ kHz}$, 4種類の特性を選択可能)に通すことでL+R信号を得ています。PLLによって再生した38kHzサブキャリアとコンポ



括弧()内の数字はデジタル信号のビット数

図1 連載 第14回～今回の全5回を通じて、PLLによるFM復調器とステレオ復調回路を最適化中