

ミキサ/フィルタ/周波数コンバータ…
RF信号処理ロジックの作り方がわかる

ダイレクト・サンプリング FM SDRの製作

第16回 フルディジタルPLLのFPGA実装③
PLLで作るFM復調器の研究

林 輝彦 Teruhiko Hayashi

第14回と第15回の2回にわたり、サブキャリアの生成や復調など、SDRの要所要所に使えるPLL(Phase-Locked Loop)の作り方や動作を考察してきました。

第14回では、フィードバック・ループのどこに信号を入力し、どこから取り出すかによって、PLLの働きがさまざまに変化すること、また、ループ帯域幅(f_{BL})をカットオフ周波数とするLPFまたはHPFとして機能することを示しました。第15回では、PLLを構成する要素のうち、もっとも重要な位相比較器と周波数可変発振器(VCOとNCO)の特性を調べました。

今回は、実際にフルディジタルPLLでFM復調器を作り、FMDDC-3に組み込んでその特性を測定します(図1)。回路規模が大きいCORDICを使ったFM復調回路(本誌2019年10月号で紹介)をPLLに置き換えることができ、性能が十分ならばFPGAのロジック・リソースを節約できます。

Excelを使ってPLLシミュレータを自作し、FM復調器のゲインの周波数特性やフィードバック・ループの安定性、波形のひずみを検討します(本誌ウェブサイトで公開予定)。実際の動作や性能が計算どおりになるのはフルディジタルの大きなメリットです。

FMDDC-3には、今回紹介するPLL方式のFM復調回路は実装しませんでした。理由は後出のとおり、最大許容周波数偏差が不十分だったからです。本稿は、PLLをFM復調器に応用するために必要な技術的課題の研究レポートです。

設計の要点

● 要点① 回路構成の決定

図2に示すのは、直交2相の複素信号(I/Q 信号)を扱える位相比較器で構成したPLLです。

PLLをFM復調器に利用するときは、位相比較器の入力の片側をFM復調器の入力とし、周波数可変発振器(NCO)の周波数設定入力、つまりループ・フィルタの出力から復調された信号を取り出します。

図2(a)に示すのは、加法定理の式に厳密に従ったフル位相比較器を使ったタイプです。位相比較器から不要な周波数成分(スプリアス)が出ません。

図2(b)は、回路規模の大きいCORDICを使わずに、乗算器2個と加算器1個だけの位相比較器(ミニマム位相比較器)で構成したPLLです。「 θ が0に近ければ、 $\theta \approx \sin \theta$ が成立する」という関係を利用して簡素化しています。

今回は、図2(b)のミニマム構成の位相比較器を使ったFM復調器を検討します。図2のPLLはどちらも、周波数選択性のないゲインA倍の乗算器(単純なスケータ)でPLLの基本特性を調整することができます。LPF特性をもつループ・フィルタを使う必要はありません(コラムA参照)。

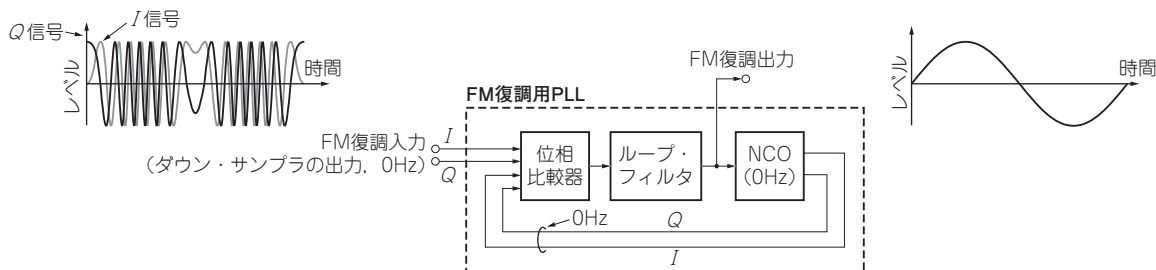


図1 PLLがFM復調器としてどのくらい使えるのか研究する
入力はダウン・サンプラが出力する直交2相のI/Q信号。NCOの中心周波数は0Hz

【セミナー案内】 [ビギナー向け] [実習セミナー] [KIT付き] 実習・GNU Radioで始めるSDR入門 [教材付き]
— スペアナ、FMラジオ、TVの自作とキーレスエントリの解析で学ぶ
【講師】 小林 真氏、3/29(日) 28,000円(税込み)、<https://seminar.cqpub.co.jp/>