

ミキサ/フィルタ/周波数コンバータ…
RF信号処理ロジックの作り方がわかる

ダイレクト・サンプリング FM SDRの製作

第2回 感度を定めるアナログ・フロントエンドの設計

林 輝彦 Teruhiko Hayashi

FMでもAMでも、電波の強さと復調信号のSN比の関係(感度)はリニアです。レシーバと電波塔の距離が大きくなるほどSN比は低くなります。電波強度がどんな状況にあっても、その条件下において、最大限高いSN比が得られるレシーバを作りたいものです。

アナログ・レシーバは、信号が回路を通過するたびに雑音が増えられていきますから、まるで腫れ物にでもさわるときのよう、信号を初段から終段まで、処理をしながら慎重に運んでいきます。FMDDC-3を始めとするダイレクト・サンプリングSDRの感度は、FPGAの前段までのフロントエンド、すなわちRFアンプ、A-Dコンバータだけで決まります。FPGA内のデジタル信号処理中は、計算間違いでもしないかぎり、雑音が増えることは原理的にありません。

今回は、電波の強さと復調信号のSN比の関係、つまり感度の良いアナログ・フロントエンドの作り方を説明します。なお本連載では、雑音は電力として扱います。 〈編集部〉

アナログ・フロントエンドのキー・デバイス「A-Dコンバータ」の選び方

● A-Dコンバータは14/16ビット、100 MSPSを選択
 アンテナで受けた高周波信号をミキサやフィルタなどのアナログ回路で加工せず、A-Dコンバータに直接入力してデジタル信号に変換し、信号処理を行う無線機をダイレクト・サンプリングSDRと呼びます。写真1に、FMDDC-3(PRO版)基板のA-Dコンバータを含むRF信号入力部を、図1にブロック図を示します。

ダイレクト・サンプリングSDRは、このアンテナ～A-Dコンバータまでのアナログ・フロントエンドで感度が決まります。

FPGAを利用して、数百MHzまで受信できるダイレクト・サンプリングSDRを作るためには、サンプリング周波数100 MSPS、分解能14～16ビットのA-Dコンバータを選ぶのがよいでしょう。

理由の1つは、100 MSPS以上になると、FPGAに

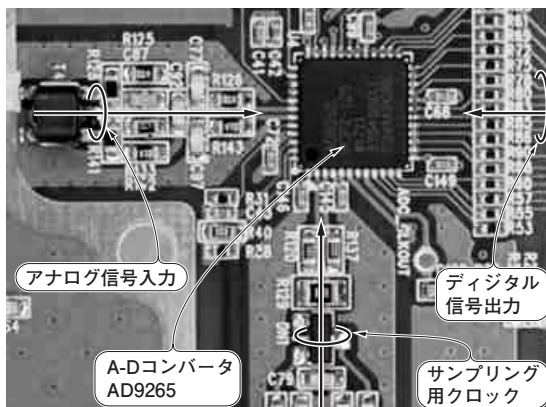


写真1 ダイレクト・サンプリングFM SDR [FMDDC-3] の感度を定めるアナログ・フロントエンド部
 RF信号を直接A-D変換する。A-Dコンバータはバイライン方式で、PRO版はAD9265、STD版はAD9255

実装する信号処理回路の初段にあるNCO (Numerically Controlled Oscillator)やCIC(Cascaded Intergrator Comb)フィルタが動作限界に近づくからです。もう1つの理由は、A-DコンバータのSN比や等価有効ビット数($ENoB$, Equivalent Number of Bit)が価格の割にとっても高い買い物になるからです。FMDDC-3に使ったA-Dコンバータも数千～1万円以上と安くはありません。

● FMDDC-3用に選んだA-Dコンバータ

FMDDC-3に採用したA-Dコンバータは次の2つです。表1にスペックを示します。

- (1) AD9265(125 MSPS, 分解能16ビット, PRO版用)
- (2) AD9255(80 MSPS, 分解能14ビット, STD版用)

いずれもSN比は約79 dB($ENoB = 12.8$ ビット相当)です。データシートに記載されたデジタル出力のFFT結果を見ると、顕著なスプリアスはなく、ノイズ・フロアの周波数特性はフラットです。

AD9265とAD9255はファミリが同じで、ピンの互換性があります。最大クロック周波数の違う製品があり、スピード・グレードによって、-80(80 MSPS)、