

其の3

電子回路のパフォーマンス・キラー 「寄生コンデンサ」

本稿では、寄生容量がデジタル信号やアナログ信号に与える悪影響について、実験を交えて解説します。

デジタル信号への悪影響

例題

配線層間に生じる寄生容量がデジタル信号に与える影響を調べてみます。

デジタル信号を伝送するプリント・パターンのレーザCMOS IC端に、1 cm²の配線が形成された基板を、テスト・ケースとして製作しました。写真1にそのプリント・パターンを示します。その仕様は次の通りです。

- 4層基板でプリント・パターン寸法は写真1のとおり
- L2: グラウンド・プレーン, L1~L2の層間厚: 0.2 mm
- 上記により 20.8 pF の寄生容量が形成される
- レーザIC端はCMOS ICの入力容量に相当する 5 pF(一般的に数 pF)で模倣
- ドライバIC側は 100 Ω の出力抵抗を配置
- ドライバICとレーザIC間の配線は全長 15 mm と短い

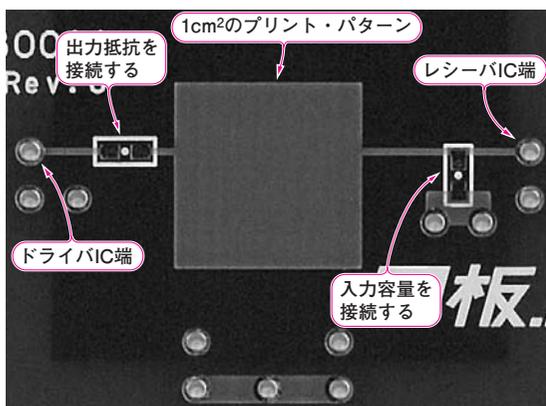


写真1 プリント基板の寄生容量が高速信号に与えるダメージを調べるデジタル信号を伝送するラインのレーザIC端に1cm²のプリント・パターンがある基板を製作した。プリント・パターン寸法は其の2の図1と同じである

出力抵抗 100 Ω と寄生容量 20.8 pF, 入力等価容量 5 pF で, RC ローパス・フィルタ回路(より簡単にいうと「鈍った波形となる回路」)が構成されます。この等価回路モデルを図1に示します。

技 配線層間の寄生容量を小さくするとデジタル回路の信号の鈍りを低減できる

写真1のレーザIC端の波形変化 $r(t)$ は次式で求められます。

$$r(t) = V \left(1 - \frac{1}{e^{t/(C_L R_S)}} \right) \dots \dots \dots (1)$$

ただし, V : デジタル信号の電圧振幅[V], t : 時間[sec], e : 自然対数の底(ネイピアの数)で, 約 2.7182, C_L : 寄生容量($C_P = 20.8$ pF)と入力容量($C_{in} = 5$ pF)の合算値[F], R_S : ドライバIC側に接続された抵抗[Ω]

式(1)を覚える必要はありません。寄生容量 C_P が増大すると、波形がさらに鈍ることだけ理解しておけば十分です。

図2にドライバIC側の波形とレーザIC端で得られる波形を示します。レーザIC端の波形はドライバ側と比べ、約 2.16 ns 遅延していることがわかります。

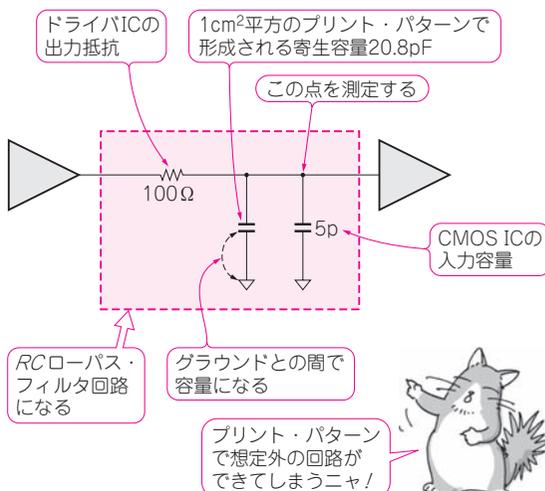


図1 写真1のプリント基板はローパス・フィルタなのだ

【セミナー案内】アナログ基礎講座 これからはじめるOPアンプ回路【講師による実験付き】
——若いエンジニアに向けたOPアンプ回路の基礎を徹底的に学ぶ講座
【講師】 浜田 智 氏【会場】 大阪・NLCセントラルビル 3F セミナールーム, 6/22(金)
19,000円(税込) <http://seminar.cqpub.co.jp/>