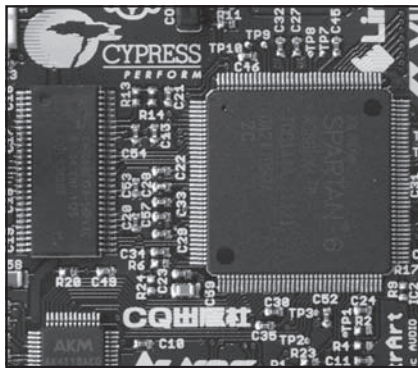


折り返し
雑音を阻止!



DAC PCM1795内部の64倍フィルタと合わせてトータル256倍!

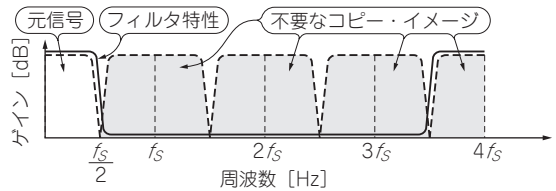
CDを176.4 kHzで再生! FPGA搭載 USB基板で作る4倍アップサンプラ

第2回 アップサンプラのしくみと作り方

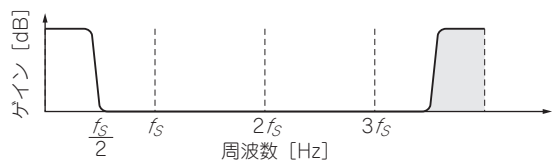
田力 基
Motoi Tariiki

本連載では4倍アップサンプラを製作します。

シングル・レート(44.1 k/48 kHz)のPCM信号をFPGAであらかじめ4倍にアップサンプリングしてからD-Aコンバータへ入力します。実験に使用するUSB-FPGA基板は、本誌2010年2月号で開発したものです。これにつながるDAC基板には、テキサス・インスツルメンツの $\Delta\Sigma$ -D-AコンバータPCM1795が搭載されています。このICは、デフォルトの設定で、入力信号がシングル・レートるとき、内部の8倍オーバー・サンプリング・フィルタで処理を行います。さらに何らかの手段で8倍にアップサンプリングし、トータルで64倍のサンプリング周波数で $\Delta\Sigma$ 変調器を動かしています。D-Aコンバータで64倍オーバー・サンプリングされるので、元信号に対して256倍オーバー・サンプリング動作していることになり、ノイズの周波数も同じ比率で高い方へシフトします。



(a) 帯域外ノイズは元信号のスペクトルの複製イメージ



(b) $f_s/2$ 以上の帯域をフィルタリングする

図1 デジタル・オーディオの宿命…サンプリング周波数 f_s の n 倍の周波数に不要なノイズが現れる

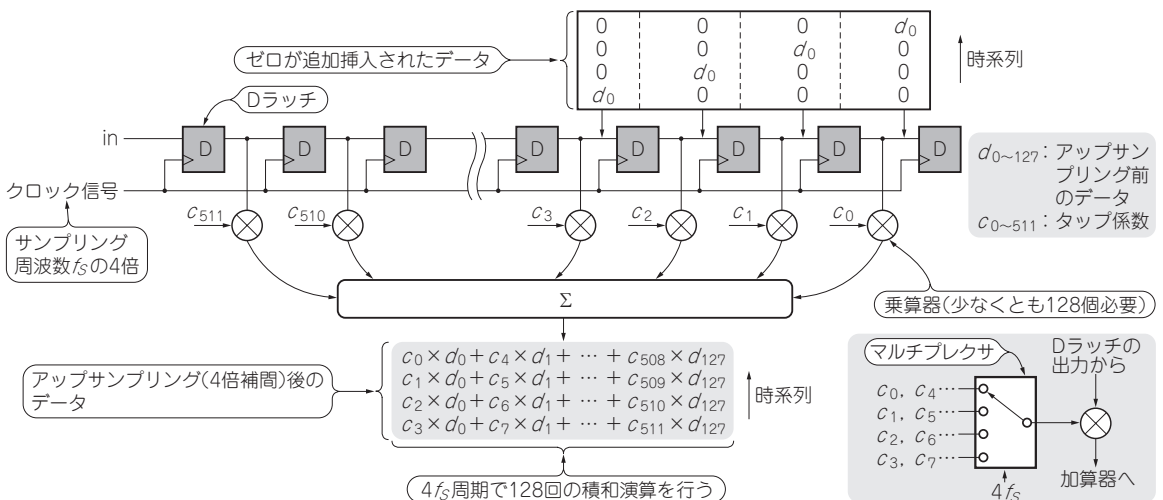


図2 最初に思いつく4倍アップサンプラの回路構成(128個の乗算器を作り込めるFPGAは存在しない)

データ・レートを4倍に引き上げるため入力データはあらかじめ1個おきに3個のゼロを挿入する。Dラッチを128段にした上で、右下図のように回路を工夫すると乗算器を512個から128個に減らせる可能性がある