

クロック周波数 400 MHz の DDR3-SDRAM 搭載基板を例に GHz 時代の高速マイコン・ ボードとその評価術

② 確実に動く高速基板設計のポイント

齋藤 隆生, 宝賀 博
Takao Saito, Hiroshi Hohga

本連載では DDR3-SDRAM を搭載した評価用基板 “Armadillo-800 EVA” の設計を例にしながら、高速伝送路の基板づくりと評価のポイントを紹介します。800 Mbps (クロック周波数は 400 MHz) の DDR3-SDRAM を事例としていますが、基本は同じですから、100 MHz で動作する SDRAM などの基板設計にも同様のポイントが当てはまります。

表1 各信号は基準信号に同期する

差動信号はヘア(PとN)で等遅延

基準信号	同期する信号
差動データ・ストロープ信号 DQS P/N	・データ (DQ) ・データ・マスク (DM)
差動クロック信号 CLK P/N	・アドレス系 (Axx, BAxx) ・コマンド系 (RAS, CAS, WE) ・制御系 (CS, CKE, ODT)

前回は、以下の基板作りの設計仕様を決めるポイントを説明しました。

ポイント①：何層の基板で信号を引きだせるか検討しよう

ポイント②：特性インピーダンスをコントロールしよう

ポイント③：どのように配線パターンを引くかイメージしよう

ポイント④：ビアの仕様を決めよう

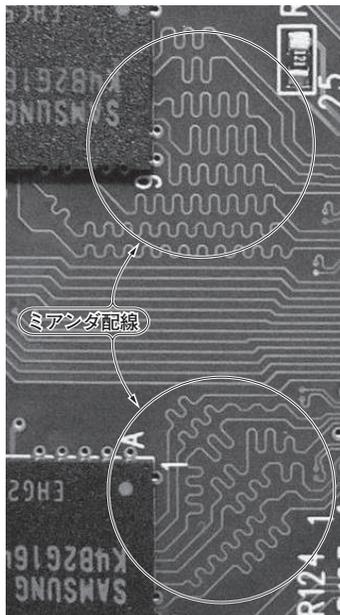
ポイント⑤：部品をうまく配置しよう

ポイント⑥：作る前にパソコン上でシミュレーションしよう

今回は、高速信号が確実に動く基板の作り方を紹介します。

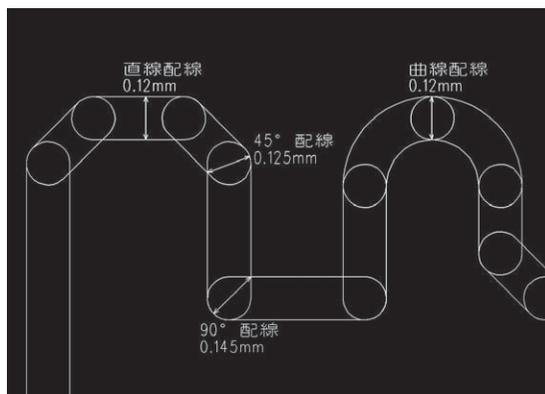
ポイント①…信号が同時に到着するようにパターンの長さを調整する

メモリ・インターフェースが高速になるに従い、タイミング・マージンが厳しくなります。そのため、基



(a) ミアンダ配線でパターン長を調整する

- 曲げの回数が多過ぎると反射波が顕著になり、伝搬時間が長くなる
- 配線箇の間隙が狭いとクロストークが発生して、伝搬時間が短くなる



配線幅：(直線配線=曲線配線) < 45°配線 < 90°配線

(b) 曲げ方によって配線長に差が生じる

図1 配線パターンを蛇行させて伝播時間を合わせる
DDR3-SDRAMの信号パターン