

## クロック周波数 400 MHz の DDR3-SDRAM 搭載基板を例に GHz 時代の高速マイコン・ ボードとその評価術

### ① 基板づくりのチェックポイント〈前編〉

齋藤 隆生, 宝賀 博  
Takao Saito, Hiroshi Hohga

本連載では DDR3-SDRAM を搭載した評価用基板 “Armadillo-800 EVA” の設計を例にしながら、高速伝送路の基板づくりのポイントを紹介し、800 Mbps (クロック周波数は 400 MHz) の DDR3-SDRAM を事例として用いますが、基本は同じですから、100 MHz で動作する SDRAM などの基板設計にも同様のポイントが当てはまります。

#### ポイント①：何層の基板で信号を引き出せるか検討しよう

#### ● プリント基板の出来が悪いと思ったように動いてくれない

プリント基板は、たくさんの電子部品や半導体を載せた受動部品で、それらの性能を 100% 引き出し確実に動かすことが求められます。この重要なプリント基板は、専門メーカーが作った電子部品や半導体と異なり、回路設計者自らが作る数少ない電子部品であり、その出来不出来は設計者に大きく依存します。作り方が悪いと、最近の高性能化した半導体も、性能を発揮してくれないどころか、基本動作すら期待できません。

例えば、高速信号を扱う基板を作ったら、タイミング・マージンが少なく狙った周波数で動かなかつたり、オーバーシュートやリングングが原因で放射ノイズが増大する事態に陥ることがあります。

プリント基板以外の構成要素で対処可能であればまだ救われますが、そうでない場合は基板を作り直しま

すので、層構成の検討はととても重要です。

#### ● BGA パッケージの端子を引き出せるか？

機器の小型化に伴い、デバイスは小型化、プリント基板は小型/高密度化が求められます。基板製造においても配線パターンの微細化など、要求仕様の難易度が上がっています。

層構成を検討するとき、表1のようなパラメータを考慮する必要があります。中でも層数を決めるポイントは「多ピン・デバイスの信号を何層で引き出せるか」が最重要課題で、コストや設計期間、製造日数、製造歩留りなど、それぞれメリットやデメリットがあるため、総合的に判断しなければなりません。

図1は今回例とした基板に実装されたプロセッサである R-Mobile A1 のデバイス・パッケージで、中央

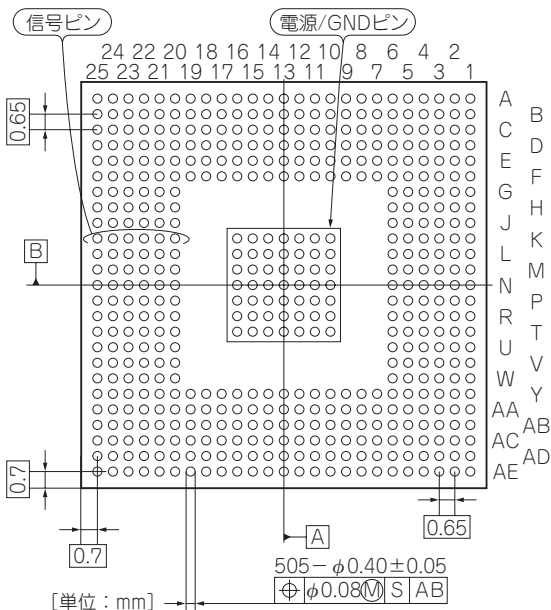


図1 R-mobile A1 の BGA パッケージ  
17×17 mm サイズの 505 ピン。ボール径 φ0.4 mm、0.65 mm ピッチ。中央のブロックに電源/GNDピン、外側6列に信号ピンがアサインされている。1層では2列まで引き出せるので、3層以上必要となる

表1 層構成をプランニングするのに必要な要素

項目	要素
製品仕様	基板外形(大きさ), 厚み
材料	プリプレグ, コア, 比誘電率, 誘電正接
製造工法	貫通, IVH, HDI(ビルドアップ)
層数	2, 4, 6, 8, 10
デバイス仕様	ピン数, ピッチ, ボール径, パッド・サイズ
特性インピーダンスを必要とする信号	シングルエンド信号, 差動信号, コプレーナ線路 ※信号線の隣接層にプレーンを形成する必要有

#### 連載予定

- ① 基板づくりのチェックポイント〈前編〉
- ② 基板づくりのチェックポイント〈後編〉
- ③ 高速伝送路の波形評価〈前編〉
- ④ 高速伝送路の波形評価〈後編〉