

## デジタル信号の性質と高速伝送技術

### 第9回 クロック信号の送り方とジッタの評価

1兆に1回以下の伝送エラーに収める

志田 晟  
Akira Shida

Eye: All Bits  
Offset: -0.0032  
Uls: 7000:25001, Total: 7000:25001

#### ● 今回のねらい

- クロックは、デジタル・データ伝送にとっても重要な役割をするので、高速になっても確実に伝送できるように工夫がなされています。今回は、各種伝送方式で使用されているクロックの送り方や波形を見ながら、それらのポイントについて解説します。
- デジタル信号を伝送する場合、途中の経路損失を含めて、どの程度正しく波形が伝わっているかを評価する必要があります。ここでは、その代表的な方法であるアイ・ダイアグラムについて説明します。ジッタやビット・エラー・レート(BER)とアイ・ダイアグラムの関係について理解することにより、デジタル回路の時間変動(ジッタ)の評価と対策の基本的なポイントがつかめます。

#### デジタル信号を評価する方法とポイント

#### ● 高速伝送では波形がなまってくる

図9-1に示すのは、シリアルATA IIの信号波形です。0.7 mのケーブルを経由してデバイスで受けたところを観測したものです。写真9-1は、波形測定の様子です。測定の対象は、シリアルATA II規格に対応した3.5インチ・ハード・ディスクで、差動プローブを差動信号入力のパア線(2本で1対)に当てています。

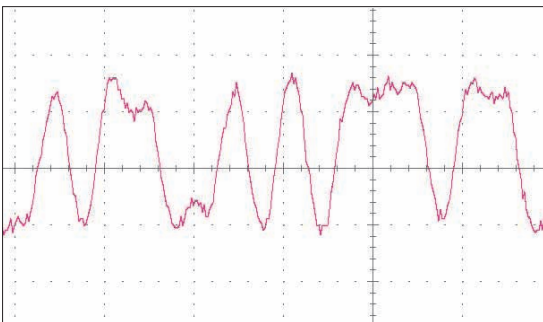


図9-1 シリアルATA IIの信号波形(0.2 V/div, 1 ns/div, 0.7 mケーブル経由後、15 GHz帯域差動プローブ使用)

プローブはテクトロニクスのP7516型で、帯域は16 GHzです。オシロスコープ本体は、テクトロニクスのDSA72004(帯域20 GHz, 毎秒50 GSps)です。プローブの先端では15 GHzの帯域が得られている測定系なので、波形がなまっているのはケーブルなどの伝送路によるものと言えます。

図9-1から、もっとも狭いビットの幅は約0.3 nsと読み取れます。すなわち、約3 Gbpsのデータ転送速度であることがわかります。

このように、Gビットを超えるデジタル信号伝送では、矩形波というよりサイン波のような波形を扱うことになります。サイン波のような波形から誤りなく受信側でデータを取り出すために、いろいろな工夫がなされています。

次に、高速デジタル伝送ではクロックをどのように送っているかについて、また波形の位相ゆらぎと言えるジッタとその評価方法について説明します。

#### ● パラレル・バスのクロックの送り方とコモン・クロック方式

図9-2(a)に示すブロック図は、PCIバスなどのパラレル・データ伝送におけるデータとクロックの送り

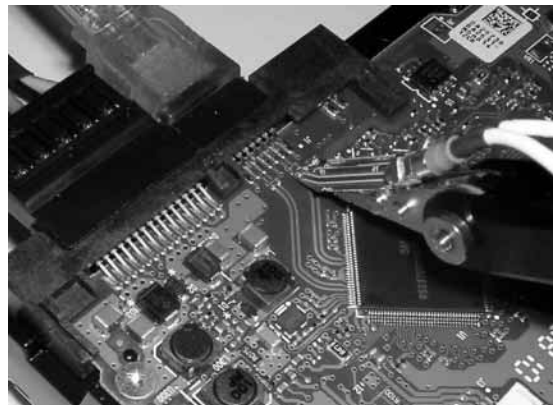


写真9-1 シリアルATA IIの信号波形を差動プローブで観測しているようす

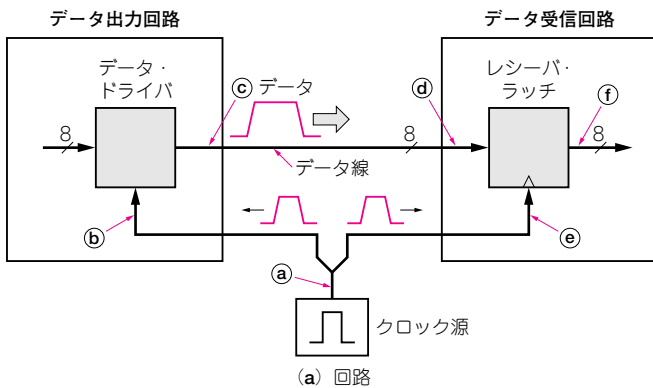


図9-2 コモン・クロック方式の回路とタイム・チャート

方を示したものです。図9-2(a)において、左の四角はデータの送信回路、右の四角は受信回路です。下に置かれた小さな四角はクロック発生回路です。この図のように、従来の低速パラレル回路では、クロックが共通に双方の回路に供給されるのが一般的です。この方式は**コモン・クロック方式**とも呼ばれます。

図9-2(b)のタイム・チャートは、この回路のクロックとデータのタイミングを示したものです。波形の①から⑥は、図(a)に対応して①から⑥で示した箇所のもので、 $t_{c0}$ の時間に①から出たクロックの立ち上がりが②の場所に到達したタイミング  $t_{c1}$  で、送信回路から②にデータが送り出されます。受信側に到達したデータのタイミングは④で示されます。①から出たクロックは、受信側の③に送信側の②とほぼ同じタイミングで到達します。

したがって、はじめのクロックの立ち上がりタイミング  $t_{c1}$  では、受信側でデータをラッチすることは困難です。次のクロックの立ち上がり  $t_{c2}$  で受信側でデータがラッチされます。

このように、はじめのクロックの立ち上がりでデータを送り出し、次のクロックの立ち上がりで受信側がラッチするという方法で複数のデータ線がある場合、周期を速くしていくと各データが有効な時間と次のク

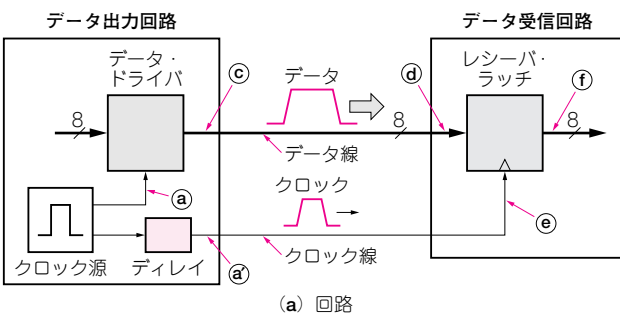
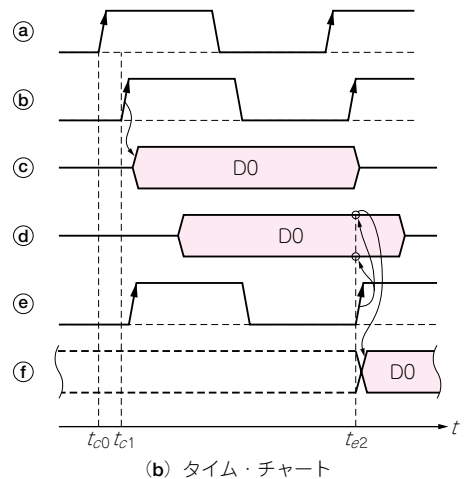


図9-3 ソース・シンクロナス方式の回路とタイム・チャート



(b) タイム・チャート

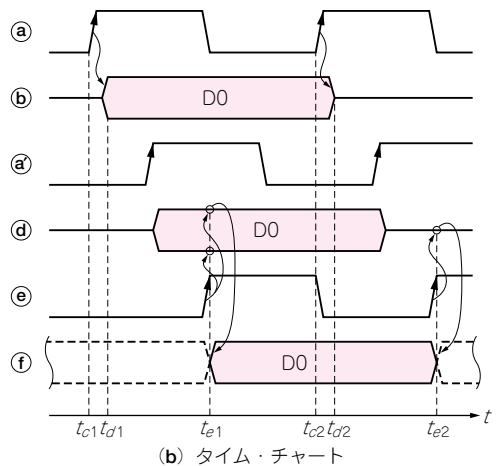
ロックの立ち上がり時間との間に逆転が生じるという問題が出てきます。

● データ伝送の高速化に対応したソース・シンクロナス方式

図9-2のコモン・クロック方式では高速化が難しいことがわかりました。図9-3は、クロックとデータを同じところから送り出す**ソース・シンクロナス方式**です。

図9-3(a)はそのブロック図で、データを送り出す回路からクロックも送り出されます。ただし、クロックはデータより少し遅れて出されるのが普通で、出力回路中に「ディレイ」と書かれた部分でクロックを少し遅らせています。

図9-3(b)のタイム・チャートは、ソース・シンクロナス方式のクロックとデータのタイミングを示したものです。出力回路からデータが出る箇所は③で示され、データより少し遅れてクロックが④のタイミン



(b) タイム・チャート