

高性能な PLL IC で標準的になってきた
位相比較器に対応する

チャージ・ポンプと組み合わせる ループ・フィルタの設計法

小宮 浩
Hiroshi Comiya

PLL 周波数シンセサイザは、任意の周波数を正確に得られる回路です。

▶ 二つの発振器を組み合わせた高性能な発振器

単にいろいろな周波数を得たいだけなら、電圧制御発振器 (VCO) などの周波数可変の発振器があります。しかし、温度や電源電圧などで周波数が変わってしまうので、通信などの正確な周波数が必要な分野では使えません。逆に、周波数の精度が良い発振器は、周波数を変えることができません。

PLL を用いて、精度の良い固定周波数発振器の任意倍になるように VCO の発振周波数を制御すると、任意の周波数を正確に作ることができます。

▶ ハードルの高いループ・フィルタの設計

PLL 周波数シンセサイザはいくつかの回路ブロックを組み合わせで作られます。そのなかで設計者を悩ませるのが、ループ・フィルタです。

ループ・フィルタは、位相比較器から出力されるパルスから VCO への制御電圧を作る役割を持ちます。ただし、単純なロー・パス・フィルタでは、PLL が思ったように動作しません。

▶ チャージ・ポンプ出力の位相比較器の場合を解説

本稿では、高性能な PLL IC で一般的になったチャージ・ポンプ出力の位相比較器を使った場合のループ・フィルタの設計法を解説します。

〈編集部〉

高性能 PLL の 定番ループ・フィルタ回路

図1に、PLL 周波数シンセサイザとしての基本構成を示します。

電圧制御発振器 (VCO) → 分周器 ($1/N$) → 位相周波数比較器 (PFC) → ループ・フィルタ (LPF) → VCO, というループがあります。このループは、PLL (Phase Locked Loop) を形成し、位相差を一定に保ち、結果として出力周波数を正確に保つ働きをします。

● 高性能な PLL に要求されるループ・フィルタとは
近年の PLL 設計においては、位相雑音特性、周波数の切り替えスピード、スプリアス特性が重要です。

これらを満たすためには、ループのカットオフ周波数と位相余裕を自由に選べて、かつ高域での減衰量も十分に取る必要があります。

PLL という負帰還ループのカットオフ周波数を自由に選ぶためには、完全積分、すなわち低域になるほどゲインが大きくなる特性のループ・フィルタが用いられます。

PLL 回路のループ・フィルタ以外の合成特性を求めると、ゲインが 0 dB となる周波数が希望のカットオフ周波数より低いことがあります。RC フィルタなどの不完全積分となるループ・フィルタでは、カットオフ周波数をゲイン特性が 0 dB となる周波数より高くできないので、VCO の前にゲインをもつ回路が必要になります。完全積分のループ・フィルタであれば、追加回路なしでゲインを自由に設定できます。

カットオフ周波数と位相余裕を独立して選べて高域での減衰量をとるためには、3次形またはより高次形の PLL になるループ・フィルタにする必要があります。

● 電流出力型チャージ・ポンプを伴った PLL のモデル

最近の PLL IC に搭載されている位相比較器は、電流出力型のチャージ・ポンプが主流となっています。前述の完全積分の形となるループ・フィルタを受動部品だけで構成できるからです。

図2(a)は電流出力チャージ・ポンプを伴った位相比較とパッシブ・フィルタによるループ・フィルタ回路の構成となっています。

位相差に応じて、定電流源 (カレント・ソース) から $+I_{out}$ もしくは $-I_{out}$ が流れます。

電流出力型チャージ・ポンプを伴った位相比較器のゲインを K_p [A/rad], ループ・フィルタのインピーダンスを Z [V/A] とすると、位相比較器とループ・フィルタをまとめたゲインは $K_p Z$ [V/rad] となります。

$K_p Z$ というゲインを持つ電気回路は、図2(b)のよ

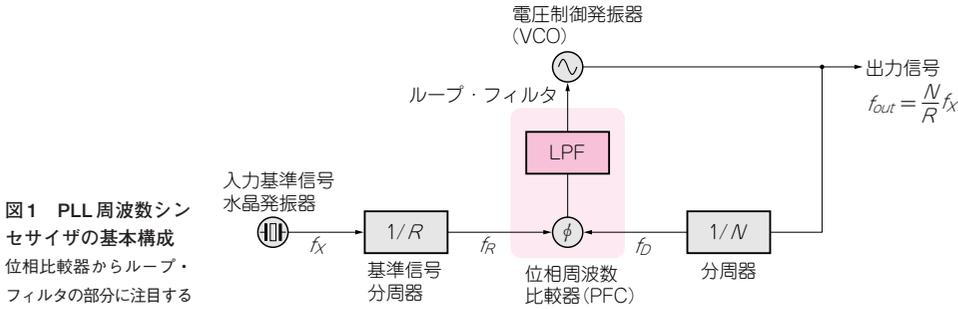


図1 PLL周波数シンセサイザの基本構成
位相比較器からループ・フィルタの部分に注目する

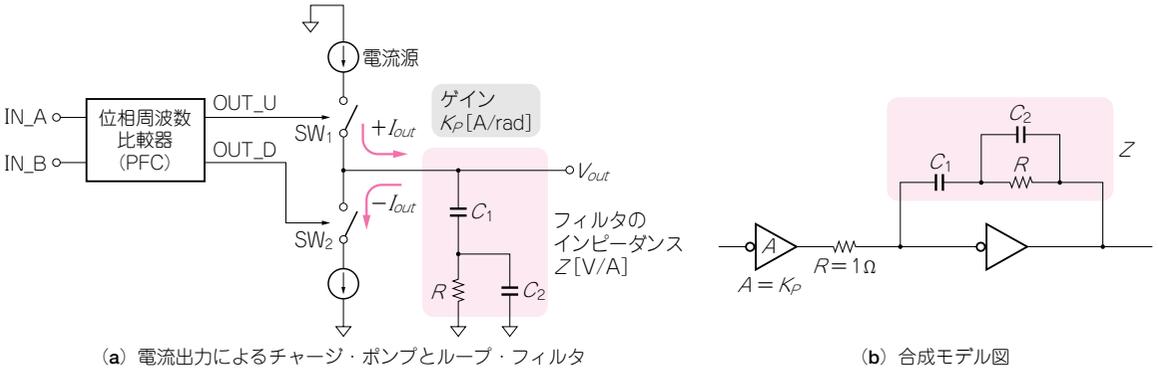


図2 チャージ・ポンプを伴ったPLLの動作
解析するときには分かりやすいモデルに置き換えて考える

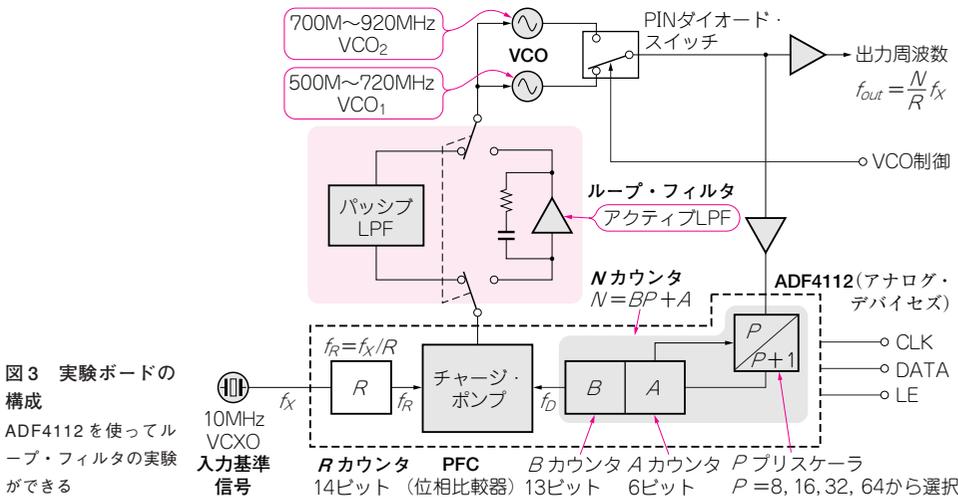


図3 実験ボードの構成
ADF4112を使ってループ・フィルタの実験ができる

うに書くこともできます。チャージ・ポンプを伴った場合には、外付け部品がCRだけでも完全積分の形となります。

チャージ・ポンプ出力の位相比較器による3次形PLLの設計例

■ 設計の条件

アナログ・デバイセズ製の汎用PLL IC ADF4110

シリーズを用いてチャージ・ポンプ出力の3次形PLLを設計してみます。

● 実験用ボードの構成

図3にADF4112を搭載した実験用ボードの構成を、写真1にその外観を示します。

いろいろなアプリケーションに対応するために、低位相雑音のVCOを二つ搭載し、スイッチで切り替えることで500M～920MHzという広帯域の出力を得