

個別部品で組み立てて動作原理から設計法までを理解する PLL 周波数シンセサイザの設計法徹底解説

第24回 位相雑音が最小になるループ・フィルタの設計

小宮 浩
Hiroshi Comiya

今回は、PLLの開ループ伝達関数が1倍になる周波数(ループ・ゲインのカットオフ周波数 f_c)の決め方を解説します。その決め方に基づいて、連載で例題にあげているPLL回路のループ・フィルタを位相雑音が一番良くなるよう設計してみます。

● f_c が発振器の選び方と密接に関係する

今回の内容は、単にループ・フィルタの最適設計というだけにとどまりません。

PLL周波数シンセサイザを設計するとき、位相雑音特性の要求を満足させるために最初にしなければならないことは、その位相雑音性能を実現できるようなVCOと基準信号源(水晶発振器)を選定または設計することです。

その際、PLLのカットオフ周波数 f_c によってPLL出力の位相雑音がどのように変化するかを考慮する必要があります。

カットオフ周波数 f_c の違いが出力の位相雑音にどのような影響を及ぼすのかをよく把握しないままVCOや水晶発振器を選んでしまうと、過剰性能でコストが高い発振器や、逆に性能不足の発振器を準備してしまう可能性があります。

まずは、カットオフ周波数 f_c と位相雑音の関係を説明します。

f_c を境に位相雑音の要因が入れ替わる

位相雑音の主な発生源は、発振器である基準信号源とVCOの二つです。この二つの位相雑音が分かれば、PLL出力の位相雑音の理想値を計算できます。

ただし、この二つの位相雑音がそのままPLL出力に現れるわけではありません。では、基準信号源(水晶発振器)の位相雑音とVCOの位相雑音は、PLLのループ特性によってどのような影響を受けて、PLL出力に現れるのでしょうか。

● 基準信号源の位相雑音は出力にどう現れるか

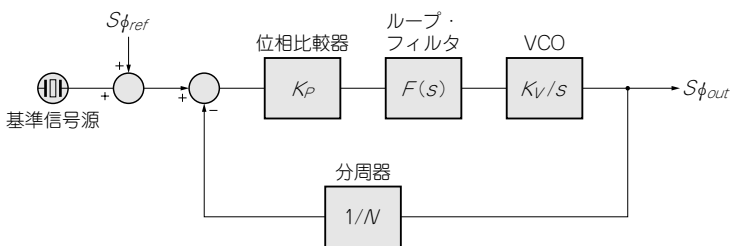
位相雑音の発生源を考えたPLLのモデル図から、基準信号源の位相雑音に関する部分だけを取り出すと、図24-1のようなモデル図になります。

この図から、基準信号源の位相雑音 $S\phi_{ref}$ に対するPLLのループ周波数応答特性、すなわち伝達関数 $S\phi_{out}/S\phi_{ref}$ を求められます。

どのような周波数特性になるかを調べるのが目的なので、この図をさらに簡略化して、分周数 $N=1$ かつループ・フィルタの伝達関数 $F(s)=1$ とします。すると、図24-1のモデルから次式が導けます。

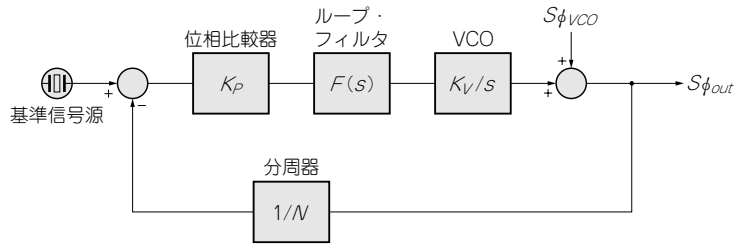
$$(S\phi_{ref} - S\phi_{out})K_P \frac{K_V}{s} = S\phi_{out} \dots \dots \dots (24-1)$$

ただし、 K_V ：VCOの変換ゲイン [(rad/s)/V]、 K_P ：位相比較器のゲイン [V/rad]



$S\phi_{out}$ ：PLL出力の位相雑音
 $S\phi_{ref}$ ：基準信号源の位相雑音

図24-1 基準信号源の位相雑音だけを考えたPLLのモデル
基準信号源の位相雑音がPLLによりどのような影響を受けるか求める



$S\phi_{out}$: PLL出力の位相雑音
 $S\phi_{VCO}$: VCOの位相雑音

図 24-2 VCO の位相雑音だけを考えた PLL のモデル

VCO の位相雑音 が PLL によりどのような影響を受けるか求める

ゆえに、

$$\frac{S\phi_{out}}{S\phi_{ref}} = \frac{\frac{K_P K_V}{s}}{1 + \frac{K_P K_V}{s}} = \frac{1}{1 + \frac{s}{K_P K_V}} \quad \dots (24-2)$$

となります。

▶ 基準信号源の位相雑音に対して PLL は LPF になる
 1 次ロー・パス・フィルタ (LPF) の伝達関数 $G_{LPF}(s)$ は一般的に次式で表されます。

$$G_{LPF}(s) = \frac{1}{1 + sT} \quad \dots (24-3)$$

式 (24-2) もこの LPF の関数を表しています。つまり、基準信号源を由来とする位相雑音は、PLL によって LPF を通した形で出力されます。

式 (24-2) と式 (24-3) を比較すると

$$T = \frac{1}{K_P K_V} \quad \dots (24-4)$$

です。よって、基準信号源の位相雑音に対する LPF のカットオフ周波数 f_{CLPF} は次式となります。

$$f_{CLPF} = \frac{\omega_C}{2\pi} = \frac{1}{2\pi T} = \frac{K_P K_V}{2\pi} \quad \dots (24-5)$$

● VCO の位相雑音は出力にどう現れるか

位相雑音の発生源を VCO だけに簡略化した PLL のモデル図を図 24-2 に示します。先ほどと同様に、VCO の位相雑音 $S\phi_{VCO}$ に対するループの周波数応答特性、すなわち伝達関数 $S\phi_{out}/S\phi_{VCO}$ を求めます。

ここでも、分周数 $N = 1$ 、ループ・フィルタの伝達関数 $F(s) = 1$ と簡略します。すると、図 24-2 から次式が導けます。

$$-S\phi_{out} K_P \frac{K_V}{s} + S\phi_{VCO} = S\phi_{out} \quad \dots (24-6)$$

ゆえに、

$$\frac{S\phi_{out}}{S\phi_{VCO}} = \frac{1}{1 + \frac{K_P K_V}{s}} \quad \dots (24-7)$$

となります。

▶ VCO の位相雑音に対して PLL は HPF になる
 1 次ハイ・パス・フィルタ (HPF) の伝達関数 $G_{HPF}(s)$

は一般的に次式で表されます。

$$G_{HPF}(s) = \frac{1}{1 + \frac{1}{sT}} \quad \dots (24-8)$$

よって式 (24-7) は HPF の関数を表しています。つまり、VCO の位相雑音は PLL によって HPF を通した形で出力されます。この場合のカットオフ周波数 f_{CHPF} は次式となります。

$$f_{CHPF} = \frac{K_P K_V}{2\pi} \quad \dots (24-9)$$

● f_C 以下では基準信号源、 f_C 以上では VCO が位相雑音の発生源になる

式 (24-5) のカットオフ周波数 f_{CLPF} 、式 (24-9) のカットオフ周波数 f_{CHPF} は同じ値になっています。

実は、この周波数は開ループ伝達関数 $P_{open}(s)$ が 1 倍になる周波数 f_C です。 $N = 1$ かつ $F(s) = 1$ ならば、

$$P_{open}(s) = \frac{K_P K_V}{s} \quad \dots (24-10)$$

です。 f_C ではこれが 1 倍になるので、

$$1 = \frac{K_P K_V}{2\pi f_C} \quad \therefore f_C = \frac{K_P K_V}{2\pi} \quad \dots (24-11)$$

このことから、PLL の出力に現れる位相雑音は、二つの信号源からの位相雑音が合成されていて、カットオフ周波数 f_C を境に主な信号源が切り替わることが分かります。

オフセット周波数が低いほうでは基準信号源による位相雑音に支配され、オフセット周波数が高いほうでは VCO の位相雑音に支配されます。

この例は $N = 1$ かつ $F(s) = 1$ と簡略していますが、 N や $F(s)$ が変わっても、出力に現れる位相雑音の主な発生源が周波数によって切り替わる特性自体は変わりません。

PLL 周波数シンセサイザで位相雑音を低くなるように設計するには、PLL のこの特性をうまく用いる必要があります。