

HDL 記述による設計法をマスターする

実験で学ぶ ロジック回路設計

木村 真也

Shinya Kimura

第13回【最終回】効果音の生成と得点の表示

製作中のテレビ・ゲームの完成状態を写真13-1に示します。

前回までにコントローラでラケットを動かし、跳ね返ってくるボールを動かすところまで作りました。すでにテレビ・ゲームの基本機能は完成しています。

▶効果音を出す回路と得点を表示する回路を作る

今回は、よりゲームらしくするために効果音と得点表示機能を追加して、ゲーム回路を完成させます。

CPLDの中に作り込むゲーム回路全体のブロック図を図13-1に示します。

効果音の作り方

人間の耳に聞こえる周波数範囲はおよそ16 Hz ~ 20000 Hzといわれています。この範囲の信号をスピー

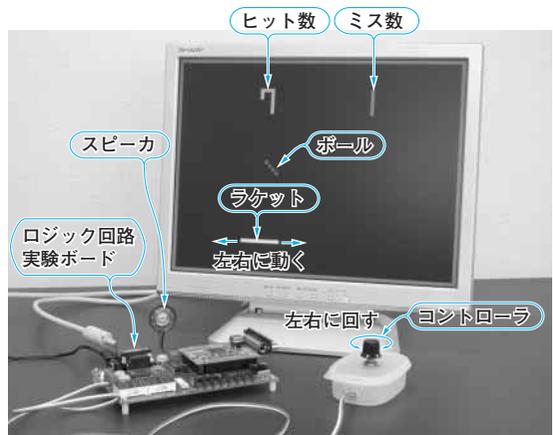


写真13-1 完成したゲーム回路を動作させている様子

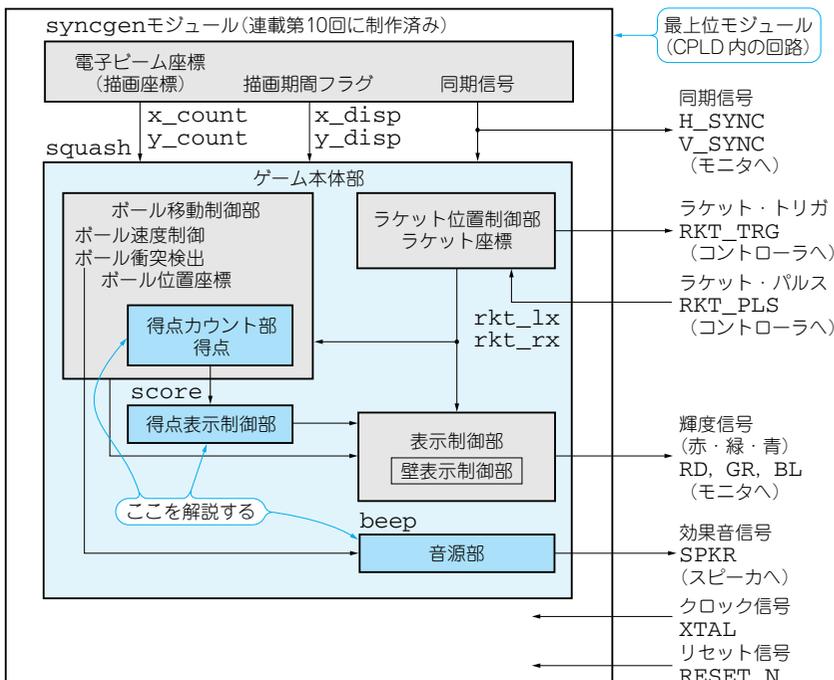


図13-1 ゲーム回路のブロック図
今回は全体を完成させる

一カに送れば音を出すことができます。

● ロジック IC だけで済ませる

音を出すためにスピーカへ送る信号はアナログ信号です。アナログ信号を作るには、ロジック回路で生成したデジタル値をD-Aコンバータを使ってアナログ信号に変換します。このようにすればどんな音色の音も出すことができますが、音の情報を保持する必要とD-Aコンバータを用意する必要があり大変です。

今回はゲーム用の効果音ということで、ごく簡単に音を出すことにします。D-Aコンバータを使わず、スピーカに与える信号のON/OFFを適当に切り換えるだけです。つまり、スピーカに送る信号の0/1の間隔を適当に切り替えるパターンによって効果音を出そうというものです。

● 周波数の低い信号が必要

クロック周波数が25 MHzなのに対して、人の聞こえる音は周波数が高くてせいぜい20 kHzです。クロックよりかなり低い周波数を作る必要があります。クロック信号から新たに生成してもよいのですが、回路規模のことを考えて、今回はほかの回路のために作っている信号を流用します。

周波数が低い信号を探すと、水平同期信号の周波数は31.469 kHzです。よって、この周波数を1/2にすることで、約15 kHzのパルスになり、人が聞くことができる音の上限に近い周波数になります。

● 同期信号を分周して音源パルスを作る

この約15 kHzのパルスを基本音源として、さらに1/2, 1/4, 1/8, …1/128の周波数のパルス(音源パルスとする)を発生させ、それらのパルスの組み合わせで効果音を生成します。具体的な回路構成は、水平同期信号をクロックとする8ビットのカウンタを作ることになります。

● **音源パルスを適当にミックスして音色を作り出す**
音源パルスが8種類あるので、それらのパルスを適当に効果音に対応させてもよいのですが、今回は音源パルスを適当にミックスする方法で音色を変化させます。

ミックスといっても、指定した音源パルスのORをとるだけの簡単な回路です(図13-2)。

● 効果音発生回路のHDL記述

効果音発生モジュールbeepのVerilog HDL記述はリスト13-1になります。

▶ 8ビット・カウンタで水平同期信号を分周

音源パルスを発生する8ビット・カウンタは、水平同期信号をクロックとするカウンタで、行番号16～18です。単純なカウンタで、リセットもありません。

今回は電源がONの間、音源パルスを発生しつづけても問題ないので、リセットの必要はありません。

ただし、シミュレーションをしようとする、初期値がないのでカウンタの値が不定値Xのままになります。シミュレーションにはリセット処理が必要です。

▶ 音色の合成の仕方は8ビットの外部信号で決める

音色は外部からの音源パターン信号(pattern)と音源パルス用カウンタの出力とで生成します。

音源パターンで指定された音源パルスを選択し(ビットごとのAND)、それらのORをとるごく簡単な回路で構成しています。

指定したときだけ音を出せるよう、beep_on信号が1の場合にだけ音を出します。

スピーカを駆動する信号beep_outは組み合わせ回路で構成されます(行番号14)。

● 音源パルスの混ぜ具合は耳で聞いて決定

音源パルスをミックスさせたとき、どのような音色になるかはシミュレーションの波形を見てもわかりません。

そこで、ロジック回路実験ボードを使って実際に音

Keyword 1

モジュール

Verilog HDLにおけるモジュールとは、なんらかの機能を実現する、システムを構成する基本単位です。モジュールの中に複数のモジュールを組み込んだり、複数のモジュールを並列接続したりして、大規模なシステムを構成します。

Verilog HDLでは、システム全体(ICの中に含まれるロジック回路全体)も一つのモジュールとなり、それを最上位モジュール、あるいはトップ・モジュールと呼んでいます。最上位モジュールから外部に接続される信号は、ICの端子に接続される信号です。

モジュールの中に、あらかじめ定義しておいた別のモジュールを組み込むことを、インスタネーションといいます。記述方法は、最初に組み込みたいモジュール名を指定し、次にモジュールを区別するためのインスタンス名、カッコ付きで接続する信号名を記載します。インスタンス名は、組み込んだモジュールを区別するための名称です。複数のモジュールをインスタネーションする場合は、すべて異なったインスタンス名にします。