

# 第4章 FPGA や CPU を動かしたい場合

第1章  
第2章  
第3章  
第4章  
第5章  
第6章

## 4-1 小型、高速応答、高効率でPOLに最適 制御 IC を使う2.5 V/2 A 出力電源

<b>入力</b> 3.3 V または 5 V	<b>出力電圧</b> 2.5 V	<b>出力電流</b> 2 A
----------------------------	----------------------	--------------------

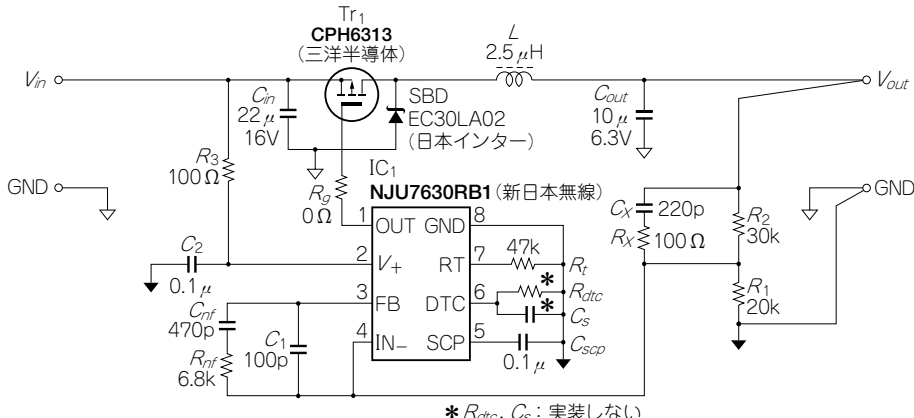


図1 シンプルな IC と高周波化で小型化を目指した DC-DC コンバータの回路図  
マイコンや FPGA などの POL 用

図1は、小形化を目標としたPOL用途のDC-DCコンバータの回路です。実装密度がそれほど高くはない実例でも写真1のような大きさに収まっています。

CPUやFPGAなど低電圧大電流が必要なICでは、配線インピーダンスによる電圧降下がトラブルの元になります。それを回避するために、CPUやFPGAの近くに設置するDC-DCコンバータです。

### 小形化のポイント

小形化するには、パワー回路部分だけでなく、すべてにわたって小型な部品を使う必要があります。

通常もっともサイズが大きいコイルを小形化するためには、キャリア周波数を高めます。しかし、キャリア周波数を上げすぎると、スイッチング素子であるパワー MOSFET のスイッチング損失が増加して、発熱対策が必要になってきます。できる限り高速で動作するパワー MOSFET が必要です。

● 非常に小形な DC-DC コンバータ制御 IC NJU7630

図1で採用したDC-DCコンバータ制御用のICであるNJU7630(新日本無線)は、図2(a)のようにTVSP8の非常に小型なパッケージです。

NJU7630はキャリア周波数が約700kHzと、かなり高めに設定されています。小形であることと、キャリア周波数が高いことが採用の理由です。

● 高速のPチャンネルパワー MOSFET CPH6313

ドライブの容易さから、NJU7630ではPチャンネル型が前提となっています。ここでは図2(b)のように小形のパッケージであること、スイッチングが高速であ

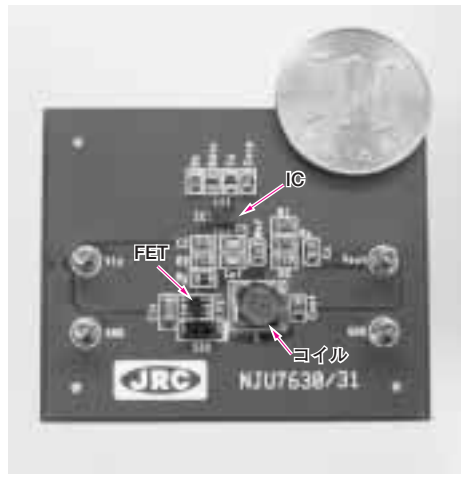
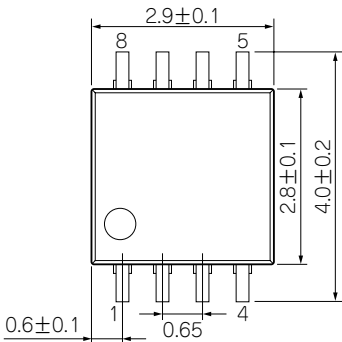
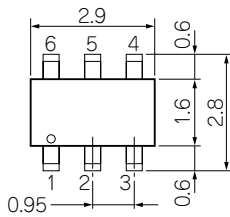


写真1 図1の回路を実装した基板



(a) (3) DC-DCコンバータ制御IC NJV7630の外形



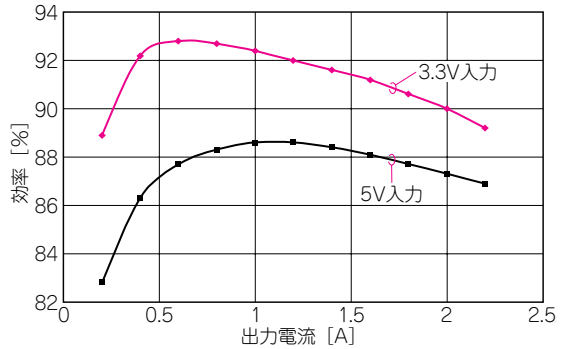
(b) (4) パワーMOSFET CPH6313の外形

図2 小型の半導体を使用した

表1(4) PチャンネルMOSFET CPH6313のスイッチング動作で重要な特性

項目	記号	測定条件	最小値	標準値	最大値	単位
ターン・オン遅延時間	$t_{d(on)}$	指定回路において		12		ns
立ち上がり時間	$t_r$	〃		57		ns
ターン・オフ遅延時間	$t_{d(off)}$	〃		68		ns
下降時間	$t_f$	〃		58		ns
総ゲート電荷量	$Q_g$	$V_{DS} = -10\text{ V}$ , $V_{GS} = -4.5\text{ V}$ , $I_D = -4\text{ A}$		8.7		nC
ゲート-ソース電荷量	$Q_{gs}$			1.5		nC
ゲート-ドレイン電荷量	$Q_{gd}$			1.8		nC
ダイオード順電圧	$V_{SD}$	$I_S = -4\text{ A}$ , $V_{GS} = 0$	-0.85		-1.2	V

図3 製作した電源の効率特性  
3.3V入力2.5V/2A出力  
のとき、効率は90%



ることを重視してCPH6313(三洋半導体)を選びました。選択の際注目したCPH6313の主な特性が表1です。

### ● そのほかのパーツも小形のタイプを使う

DC-DCコンバータの入出力に実装されるコンデンサは、近年非常に小形化大容量化している積層セラミック・コンデンサが最適でしょう、

ショットキー・バリア・ダイオード(SBD)やコイルも、できる限り小形の部品を選定しました。

## 高効率で高速応答

### ● 効率は90%と優秀

いくら小型化しても、性能が良くなければ意味がありません。この回路は、図3のように入力電圧3.3V時には定格出力で効率90%、図3(b)のように入力電圧5.0V時に87%で動作します。

オーソドックスな回路構成の降圧コンバータとしては、満足すべき値と思われる。これ以上の効率を望むならば、同期整流型にする必要があるでしょう。

### ● 高速応答が可能なフィードバック回路を使用

POLの場合、負荷となるCPUは電源電流の変化が大きい事が普通です。POL用途では、負荷変動に対して高速の応答が必要です。

そのためには、オープン・ループ・ゲインが0dBとなる周波数、クロス・オーバー周波数を高く設計す

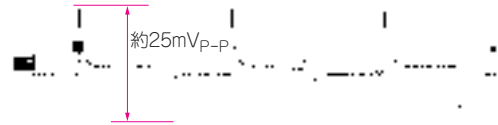


図4 負荷変動時の応答波形(10 mV/div., 500 μs/div.)  
電圧変動は25 mV<sub>p-p</sub>程度と小さい

る必要があります。

図1では、高速応答を目標として、参考文献(1)においてタイプ3と書かれているフィードバック回路を採用しました。クロス・オーバー周波数100 kHz、位相余裕40°(安定動作の限度値)となっています。

負荷変動時の応答を図4に示します。 <瀬川 毅>

### ◆参考・引用\*文献◆

- (1) Abraham I.Pressman, Switching Power Supply Design 2nd Edition, 1988, McGraw-Hill
- (2) NJU7630 データシート, 新日本無線株, 2006.
- (3)\* パッケージ寸法図TVSP8, 新日本無線株.
- (4)\* CPH6313 データシート, 三洋半導体株.