

## 第2章

高周波数で低ジッタのクロック信号を得るために

# PLLによる周波数合成技術の基礎

水晶発振器(XO)は、安定度に優れた比較的到低い単一周波数を出力します。他方、電圧制御発振器(VCO)は、高周波領域の広範な周波数を発振できますが、その出力周波数はゆらいで不安定です。

PLL(Phase Locked Loop)は、これら2つの発振器の互いの弱点を補う優れた技術です。PLLを用いることによって、広い範囲で、かつ安定した周波数を生み出すことができます。

### PLL周波数シンセサイザの構成

図1は、PLL周波数シンセサイザの一般的な構成で、次の回路からなっています。

- ① 電圧制御発振器 VCO(Voltage Controlled Oscillator)
- ② 分周器  $1/N$ (カウンタ回路)
- ③ 位相周波数比較器 PFC(Phase Frequency Comparator)
- ④ ループ・フィルタ(低域フィルタ LPF)
- ⑤ 水晶発振器(基準信号源)
- ⑥ 基準信号分周器  $1/R$ (カウンタ回路)

ここで、①電圧制御発振器VCO→②分周器 $1/N$ →③位相周波数比較器PFC→④ループ・フィルタLPFは、PLL(Phase Locked Loop)を形成します。そして、基準信号 $f_R$ を入力することで、ループは負帰環回路として動作します。

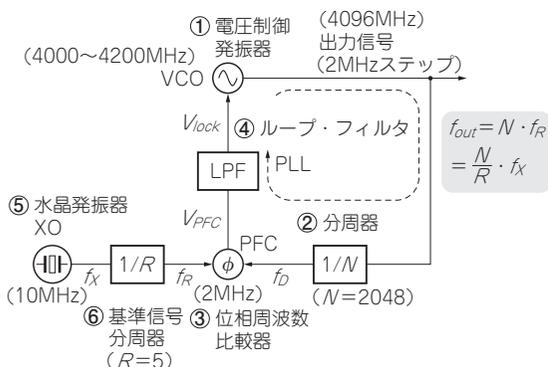


図1 PLL周波数シンセサイザの基本構成

### ● PLLの動作を時間軸で見る

基準信号 $f_R$ を入力して、PLLが形成される過程の動きを時間軸で考えます。

はじめ、VCOはフリーラン発振で出力周波数 $f_{out}$ はロックする周波数より低いとします。PFCは2つの入力信号の位相差に加え、周波数差も出力できます。

基準信号 $f_R$ を入力する時点で、 $f_D = f_{out}/N$ との関係は $f_R > f_D$ です。すると位相周波数比較器PFCの出力 $V_{PFC}$ には、図2(a)に示すような周波数差と位相差に比例した誤差信号パルス(周期 $T = 1/f_R$ )が発生します。この場合は、周波数を高くする方向のプラス・パルスです。

この信号は、パルスの高調波成分を多く含むので、ループ・フィルタ(低域フィルタLPF)を通過すると、図2(b)に示すように積分され、負帰還ループとして収束し、ロック時間 $t_{lock}$ を経て、VCOを基準信号 $f_R$ でロックする $V_{lock}$ 電圧になります。

### ● PLLの出力周波数を決める

図1の電圧制御発振器VCOの出力周波数を $f_{out}$ にす

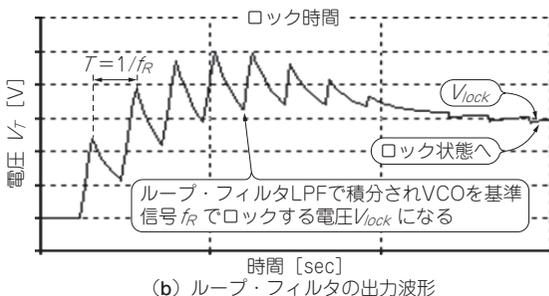
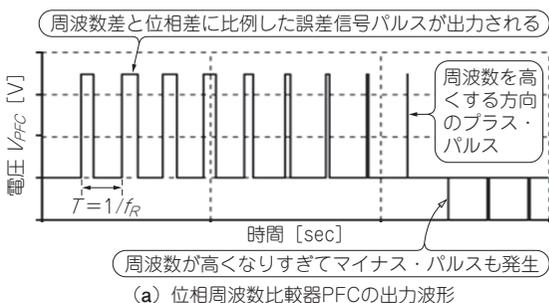


図2 時間軸でのPLL動作波形