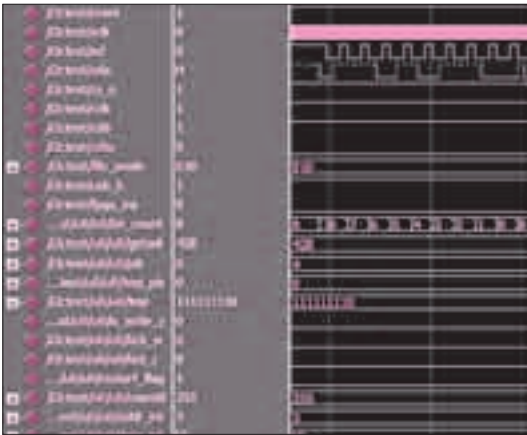


# 第5章

## FPGAのロジック回路設計

USBマイコンからデータを取り出して  
I<sup>2</sup>Sフォーマットに並び替える

田力基 Motoi Tariki (ElectArt)



本章では、FPGA内部の各機能ブロックごとに、その動作の詳細を説明します。FPGAは、USBマイコン内部のメモリ(FIFO)に蓄えられたオーディオ

データを取り出し、並び替えます。並び替えが完了したら、3線式のオーディオ・インターフェースを介してD-Aコンバータに出力します。

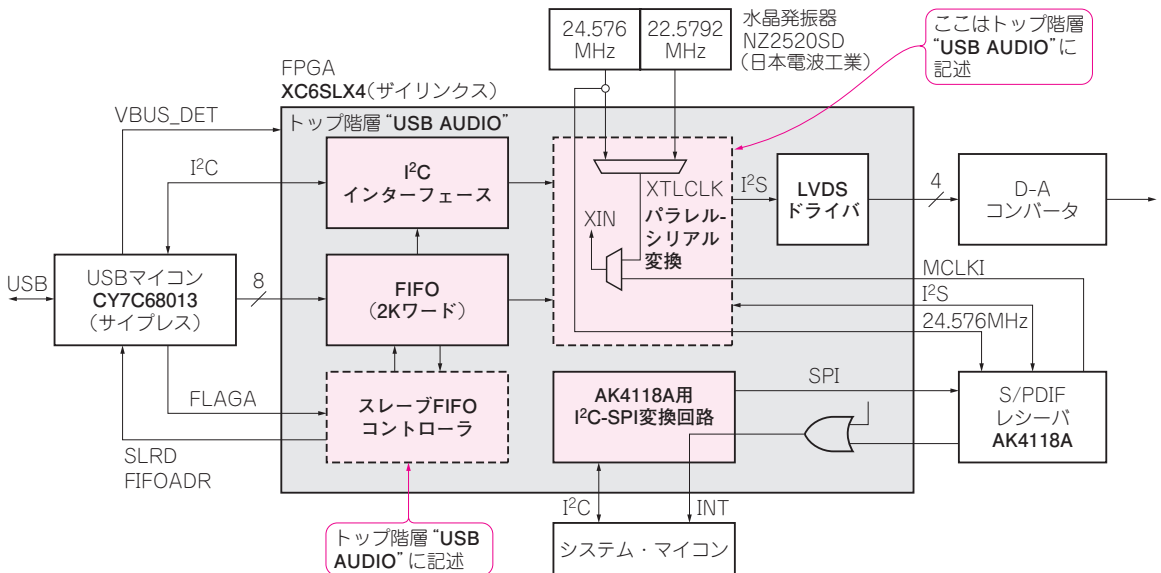


図1 USB-FPGA基板上に搭載したFPGA(XC6SLX4)の内部構成

### 回路ブロックの全体像

図1に示すのは、USB-FPGA基板上のFPGA XC6SLX4(ザイリンクス)の内部構成です。

#### ● 回路ブロックその1: I<sup>2</sup>Cインターフェース

USBマイコンCY7C68013(以下FX2LP)とのI<sup>2</sup>C通信用のブロックで、I<sup>2</sup>Cのスレーブ・デバイスです。内部の1バイト・レジスタの下位3ビットにFX2LPからサンプリング周波数が書き込まれます(Writeされる)。

USBマイコン(FX2LP)からの読み出し(Read)要求

に応じて、2KワードFIFO内部(後述)のデータ・バイト数の上位8ビットを送信します。このブロックのVHDLソース・コード中の回路モジュール名(エンティティ)は“I2CIF”です。

#### ● 回路ブロックその2: 2KワードFIFO

USBマイコン(FX2LP)からスレーブFIFOモード経由で受信した8ビット・オーディオ・データを、USB-FPGA基板上のオーディオ・クロックに同期して取り出すためのタイミング調整用FIFOです。このブロックのVHDLソース・コード中のエンティティ名は“fifo\_generator\_v8\_2”です。