

デジタル信号の性質と高速伝送技術

第8回 シングル・エンドで高速伝送の限界に挑む

ICの高速化は基板パターンの設計を容易にする？

志田 晟
Akira Shida

● 今回のねらい

● 毎秒数十メガ・ビットからギガ・ビットのデジタル信号伝送の方式は差動伝送が一般的です。その理由は、差動伝送は外来ノイズに強いという長所のほかに、パターン設計などを各規格の推奨設計ガイドラインに従うことにより、毎秒ギガ・ビットの伝送であっても比較的容易に実現できるからです。差動方式を使わずに毎秒数百メガ・ビットを数十cmのパターンで伝送させると、一般のロジック(シングル・エンド)ではさまざまな問題が発生します。そのため、安定した回路動作を得るパターン設計はとても難しくなります。

● しかし、メモリ回路のデータ線は、毎秒数百メガ・ビットの速度でもほとんど差動伝送は使われていません。メモリ回路は、CPUなどと一体で高速かつ大量にデータをやり取りする必要があります。一定の基板面積で大量にデータをやり取りするために、一つの信号に2本のパターンを使用する差動伝送より、1本のパターンで一つの信号を送るシングル・エンドのほうが技術的な難しさがあるとしても現状では有益であるからです。

● 今回は、PCに使用されてきた各種バスの信号波形の観測とメモリ回路独自の回路動作を説明し、高速メモリのパターン設計の今後について触れます。

シングル・エンド伝送が使われている高速メモリ回路

写真8-1は、比較的最近のPCのマザーボードで、メモリにDDR2 SDRAMを使用しています。このマザーボードの裏側で、メモリ・モジュールにつながるコネクタの点で信号波形を見たものが図8-1です。クロックは、カーソルの間隔が約2.5 nsであることから約400 MHzであることがわかります。一方、クロックの半周期(1.25 ns)で1データが送られていることからデータ・レートは800 Mbpsと読み取れます。

写真8-2は、マザーボード上のDDR2メモリとメモリ・コントローラの間のパターンです。単線で引かれているパターンとペアになったパターンがあります。ペアのパターンはクロック線で差動伝送が使われていますが、多くの単線のパターンはデータ線などでシングル・エンド伝送が使われています。

USBやシリアルATA, PCI Expressなどの毎秒数百メガ・ビットを越す高速デジタル伝送では、差動伝送方式が使われています。

毎秒数百メガ・ビットを越すデータ伝送では、基本的に信号の振幅を小さくします。同じスルー・レートの安価なトランジスタで構成したICでも、振幅を小



写真8-1 DDR2メモリを搭載したマザーボード

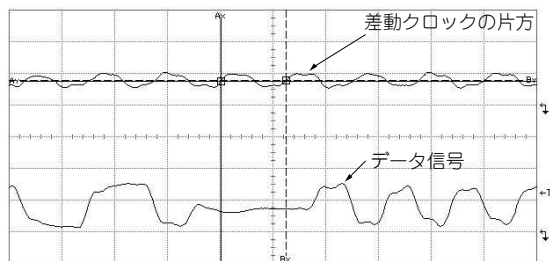


図8-1 写真8-1のマザーボードのDDR2 SDRAMモジュール(DDR2 800 PC2-6400)のコネクタ・ピンで観測した波形(2 ns/div, 1 V/div. 1.5 GHz帯域のオシロスコープで測定)クロックは2.5 ns周期(400 MHz)、データは800 Mbpsのデータ・レートで送られている

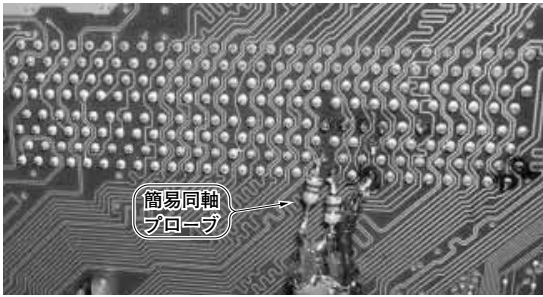


写真8-2 DDR2 SDRAM モジュールの差動クロックを簡易同軸プローブ2本で見ているようす

さくするとにより Low レベルと High レベル間を切り替えることができるからです。振幅を小さくしても、差動伝送では周囲ノイズ(同相のコモン・モード・ノイズ)を打ち消してくれるなどの多くの長所がありますが、シングル・エンド伝送では周囲ノイズに影響されやすくなります。

メモリ回路のデータ線は800Mbpsという高速伝送で、なおかつ周囲ノイズに影響されやすいにもかかわらず、なぜ差動伝送ではなくシングル・エンド伝送を使っているのでしょうか。

PCIはTTLをそのままつないだだけに近いシングル・エンド伝送

写真8-3は、PCのマザーボードのPCIスロット部分です。PCIバスが登場した当初は、5V電源で動作

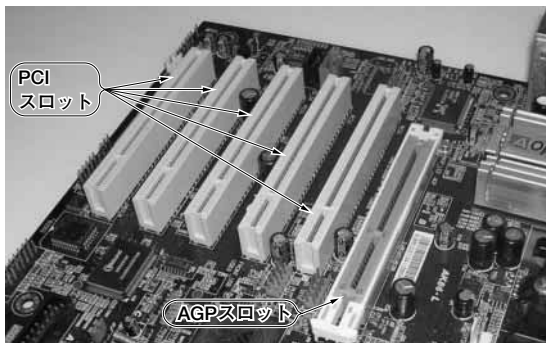


写真8-3 PCのマザーボードのPCIスロットとAGPスロット

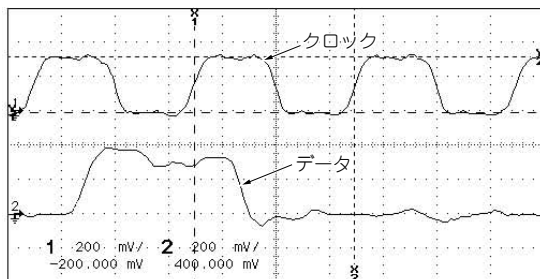


図8-2 PCIバスの33 MHzクロックとデータの波形(10 ns/div, 2 V/div)

するICがバスに使用されていました。最近のマザーボードに付いているPCIは、3.3Vで動作するものがほとんどで、3.3VPCIとも呼ばれます。

写真8-4は、このマザーボードの裏側にオシロスコープのプローブ(500 MHz用)を当てているところです。図8-2は、写真8-4のようにして測定した波形です。オシロスコープは500 MHz帯域のもので、この図より、クロックが33 MHzであることがわかります。また、図8-2のデータは最も短いものを捕らえています。クロックの1周期の時間ぶん同じレベルが続いており、クロックの1周期で1データが送られていることがわかります。

表8-1は、FPGAがサポートするシングル・エンドの規格の一部を示したものです。表8-1から、シングル・エンドといってもさまざまな規格があることがわかります。表8-1の「電圧基準」とは、受信部で基準電圧と入力信号のレベルを比較してHigh/Lowを判定しているものです。高速伝送の規格は電圧基準で判定していることがわかります。

シングル・エンド伝送は、1本の線で一つの信号を送りますが、メモリ回路などの場合では信号の受信側で電圧基準との大小でレベルを判定するため、単なるLVTTTLやLVCMOSとは動作が異なります。LVTTTLのような単なるロジックの場合をシングル・エンドと呼び、メモリ回路などの場合を電圧基準判定方式と分けて呼ぶ場合があります。

AGPは信号伝送を1:1に送ることで高速化したシングル・エンド伝送

写真8-3のPCIスロットの右側にAGP(Accelerated



写真8-4 PCIバスの信号をオシロスコープのプローブで見ているところ