

## 個別部品で組み立てて動作原理から設計法までを理解する PLL 周波数シンセサイザの設計法徹底解説

### 第22回 3次形PLLのループ・フィルタ定数の求め方

小宮 浩  
Hiroshi Comiya

PLL回路用のICは多く、たいいていの場合用途に合ったICが用意されています。またループ・フィルタの外付けCR部品もICメーカーの推奨値で問題ありません。

しかし用途が変わると、独自のPLL回路を作らなければならないとなり、ループ・フィルタの定数も自分で決める必要に迫られます。

今回は、仕様からループ・フィルタの具体的な定数を求める方法を解説します。 <編集部>

#### 特性の良いPLLを自在に設計したい

近年のPLL設計においては、位相雑音特性と周波数の切り替えスピード、そしてスプリアス特性の三つの特性が重要視されます。

この三つの特性をすべて満足するPLL回路を作るためには、位相負帰還ループのカットオフ周波数と位相余裕とを自由に選べて、かつ高域での減衰量も十分に取れるようなループ・フィルタが必要で。

#### ● シミュレーションは簡単だが定数を決めにくい

そのようなループ・フィルタとは、PLLを3次形(もしくはそれ以上)とする完全積分が可能なフィルタです。完全積分が可能とは、十分低い周波数でのゲインが理論上無限大に近くなることを指し、ループのカットオフ周波数を自由に決められるPLLを作るのに必要な条件の一つです。

完全積分が可能な3次形PLLのループ・フィルタについては、連載第19回(2007年9月号)を中心に説明してきました。連載第19回では完全積分という言葉を使っていませんでした。完全積分についてはコラム(p.255)を参照してください。

連載第19回では、シミュレータで開ループ伝達特性を描かせることによってフィルタの定数を求めました。しかし、この方法ではループ・フィルタ定数をカット・アンド・トライで決めなければなりません。

#### ● 定数を求められる式を導く

必要な仕様やフィルタ以外の回路ブロックの条件から、フィルタの定数を求める式を導いてみます。

フィルタ以外の回路ブロックの条件として、VCOの変換ゲインを $K_V$ 、位相比較器のゲインを $K_P$ 、分周数を $N$ とします。

ループのカットオフ周波数 $f_C$ と位相余裕 $\phi_C$ の値を与えることで、3次形PLLで完全積分となるループ・フィルタの各定数を算出できる式を導きます。

どのような特性のPLLにも、必要な特性に応じて $f_C$ と $\phi_C$ の値を変えて計算しなおすだけで対応できるので、大変便利です。

#### 完全積分のループ・フィルタを持つ 3次形PLLの構成

図22-1に示すモデルのPLLは、完全積分の動作を負帰還ループに持つ3次形PLLになります。

完全積分を実現するには、大きく分けてアクティブ・フィルタを使う方法と、チャージ・ポンプとパッシブ・フィルタを使う方法があります。

#### ● アクティブ・フィルタを使う

図22-1(a),(b),(c)に示すモデル中のループ・フィルタは、OPアンプによるアクティブ・フィルタで構成された完全積分のループ・フィルタです。

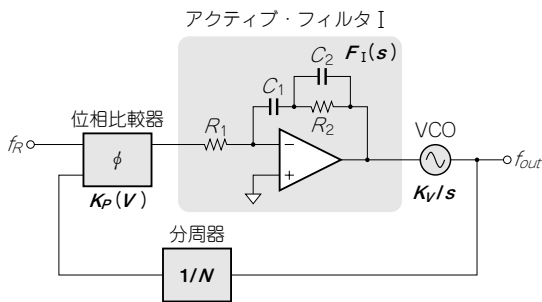
RCの構成は若干違いますが、これらはすべて3次形のPLLとなります。

PLLを位相周波数比較器PFCで構成するのであれば、図22-2に示すように、U出力とD出力の両方をOPアンプによる差動増幅器で受ける形になります。この図の回路で完全積分のループ・フィルタとなり、また3次形のPLL回路を構成できます。

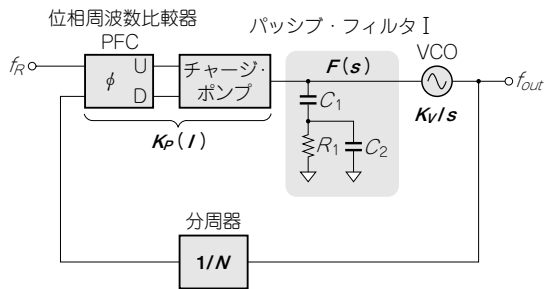
本連載で設計しているPLL回路は、この構成を用いています。

#### ● チャージ・ポンプとパッシブ・フィルタを使う

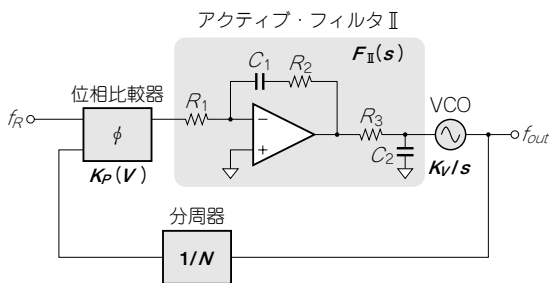
図22-1(d),(e),(f)に示すモデルは、位相周波



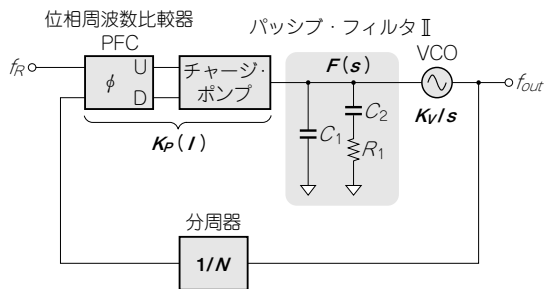
(a) アクティブ・フィルタⅠによる3次形PLLモデル



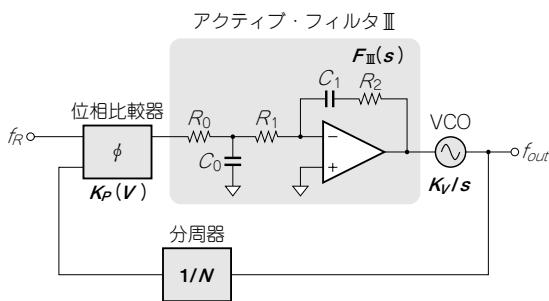
(d) 電流出力チャージ・ポンプとパッシブ・フィルタⅠによる3次形PLLモデル



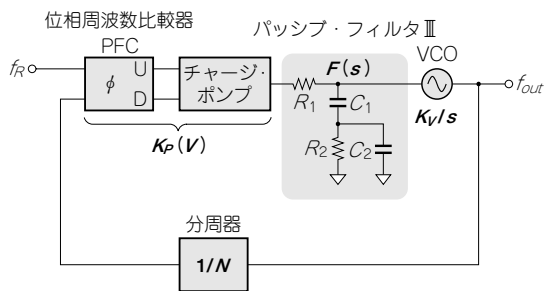
(b) アクティブ・フィルタⅡによる3次形PLLモデル



(e) 電流出力チャージ・ポンプとパッシブ・フィルタⅡによる3次形PLLモデル



(c) アクティブ・フィルタⅢによる3次形PLLモデル



(f) 電流出力チャージ・ポンプとパッシブ・フィルタⅢによる3次形PLLモデル

図 22-1 完全積分で3次形となる PLL の構成例

アクティブ・フィルタによる方法とチャージ・ポンプによる方法の2種類ある

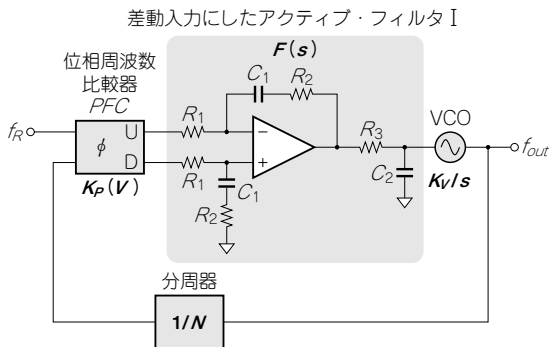


図 22-2 位相周波数比較器と差動アンプ・フィルタ回路による構成例

位相周波数比較器の出力は二つあるので差動アンプ回路が必要になる

数比較器 PFC 出力にチャージ・ポンプを設けて、位相比較の出力を3ステート動作にした場合です。

これらも完全積分の動作をするループ・フィルタとなり、3次形の PLL を構成できます。チャージ・ポンプを用いた場合のモデルについては、コラムを参照してください。

チャージ・ポンプを用いた場合には、チャージ・ポンプの電源電圧より出力電圧を高くできません。高い VCO 駆動電圧が必要な場合には、図 22-3 に示すように OP アンプによる完全積分器を設け、OP アンプの電源電圧を高くして、必要な出力電圧を得ます。